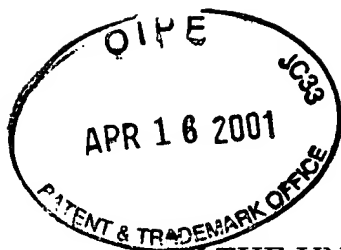


2814



PATENT
81754.0021

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Kazunobu KUWAZAWA ✓

Serial No: 09/544,392 ✓

Filed: April 6, 2000 ✓

For: Semiconductor Device and Method
for Manufacturing the Same ✓

Art Unit: 2814 ✓

Examiner: Not Assigned

H. Coe
4-23-01
#5 priority
paper

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to:	
Assistant Commissioner for Patents Washington D.C. 20231, on	
April 10, 2001	
Date of Deposit	
Louis A. Mok, Reg. No. 22,585	
Name	
Signature	April 10, 2001
Date	

TRANSMITTAL OF PRIORITY DOCUMENT

Assistant Commissioner for Patents
Washington, D.C. 20231

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 11-099033 which was filed April 6, 1999 and application No. 2000-102083 which was filed April 4, 2000, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

By:

Louis A. Mok
Registration No. 22,585
Attorney for Applicant(s)

Date: April 10, 2001

RECEIVED
APR 18 2001
TECHNOLOGY CENTER 2800

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 4月 4日

出願番号

Application Number:

特願2000-102083

出願人

Applicant (s):

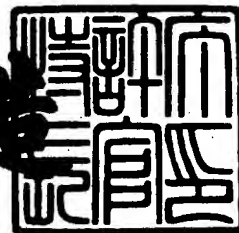
セイコーエプソン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 3月23日

特許庁長官
Commissioner,
Patent Office

及川耕造



【書類名】 特許願

【整理番号】 EP-0233701

【提出日】 平成12年 4月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8247

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 桑沢 和伸

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090387

 【弁理士】

 【氏名又は名称】 布施 行夫

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090398

 【弁理士】

 【氏名又は名称】 大渕 美千栄

 【電話番号】 03-5397-0891

【先の出願に基づく優先権主張】

 【出願番号】 平成11年特許願第 99033号

【出願日】 平成11年 4月 6日

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 不揮発性メモリトランジスタを備えた半導体装置であって、容量素子および他の容量素子を備え、

前記不揮発性メモリトランジスタ、前記容量素子および前記他の容量素子は、一つの半導体基板に形成され、

前記容量素子は、下部電極と、誘電体膜と、上部電極と、を含み、

前記他の容量素子は、他の下部電極と、他の誘電体膜と、他の上部電極と、を含み、

前記他の誘電体膜の膜厚は、前記誘電体膜の膜厚と異なる、半導体装置。

【請求項 2】 不揮発性メモリトランジスタを備えた半導体装置であって、容量素子および他の容量素子を備え、

前記不揮発性メモリトランジスタ、前記容量素子および前記他の容量素子は、一つの半導体基板に形成され、

前記容量素子は、下部電極と、複数の膜を構成要素とする誘電体膜と、上部電極と、を含み、

前記他の容量素子は、他の下部電極と、複数の膜を構成要素とする他の誘電体膜と、他の上部電極と、を含み、

前記他の誘電体膜は、前記誘電体膜の構成要素とは異なる構成要素を含む、半導体装置。

【請求項 3】 請求項 1 または 2 において、

前記誘電体膜および前記他の誘電体膜は、ONO 膜を含む、半導体装置。

【請求項 4】 請求項 3 において、

前記誘電体膜は、前記下部電極から前記上部電極へ向かって、順に、熱酸化膜、窒化膜、酸化膜を有する構造であり、

前記他の誘電体膜は、前記他の下部電極から前記他の上部電極へ向かって、順に、第 1 熱酸化膜、CVD 酸化膜、第 2 熱酸化膜、窒化膜、酸化膜を有する構造

である、半導体装置。

【請求項 5】 請求項 3 において、

前記誘電体膜は、前記下部電極から前記上部電極へ向かって、順に、熱酸化膜、窒化膜、酸化膜のみを有する構造であり、

前記他の誘電体膜は、前記他の下部電極から前記他の上部電極へ向かって、順に、第 1 熱酸化膜、CVD 酸化膜、第 2 熱酸化膜、窒化膜、酸化膜のみを有する構造である、半導体装置。

【請求項 6】 請求項 4 または 5 において、

前記誘電体膜の前記熱酸化膜と、前記他の誘電体膜の前記第 2 熱酸化膜とは、同一工程で形成された膜であり、

前記誘電体膜の前記窒化膜と、前記他の誘電体膜の前記窒化膜とは、同一工程で形成された膜であり、

前記誘電体膜の前記酸化膜と、前記他の誘電体膜の前記酸化膜とは、同一工程で形成された膜である、半導体装置。

【請求項 7】 請求項 4 ～ 6 のいずれかにおいて、

前記他の誘電体膜の前記 CVD 酸化膜は、高温熱 CVD 酸化膜を含む、半導体装置。

【請求項 8】 請求項 4 ～ 7 のいずれかにおいて、

前記誘電体膜の前記酸化膜および前記他の誘電体膜の前記酸化膜は、熱酸化膜を含む、半導体装置。

【請求項 9】 請求項 8 において、

前記誘電体膜の前記熱酸化膜は、シリコン上において、30～200オングストロームの熱酸化膜が成長する方法で形成された厚みであり、

前記誘電体膜の前記窒化膜の厚みは、50～500オングストロームであり、

前記誘電体膜の前記酸化膜は、シリコン上において、60～80オングストロームの熱酸化膜が成長する方法で形成された厚みであり、

前記他の誘電体膜の前記第 1 熱酸化膜は、シリコン上において、60～80オングストロームの熱酸化膜が成長する方法で形成された厚みであり、

前記他の誘電体膜の前記 CVD 酸化膜の厚みは、100～200オングストロ

ームであり、

前記他の誘電体膜の前記第 2 熱酸化膜は、シリコン上において、30～200 オングストロームの熱酸化膜が成長する方法で形成された厚みであり、

前記他の誘電体膜の前記窒化膜の厚みは、50～500 オングストロームであり、

前記他の誘電体膜の前記酸化膜は、シリコン上において、60～80 オングストロームの熱酸化膜が成長する方法で形成された厚みである、半導体装置。

【請求項 10】 請求項 4～7 のいずれかにおいて、

前記誘電体膜の前記酸化膜および前記他の誘電体膜の前記酸化膜は、CVD 酸化膜を含む、半導体装置。

【請求項 11】 請求項 10 において、

前記誘電体膜の前記熱酸化膜は、シリコン上において、30～200 オングストロームの熱酸化膜が成長する方法で形成された厚みであり、

前記誘電体膜の前記窒化膜の厚みは、50～500 オングストロームであり、

前記誘電体膜の前記酸化膜の厚みは、100～200 オングストロームであり

前記他の誘電体膜の前記第 1 熱酸化膜は、シリコン上において、60～80 オングストロームの熱酸化膜が成長する方法で形成された厚みであり、

前記他の誘電体膜の前記 CVD 酸化膜の厚みは、100～200 オングストロームであり、

前記他の誘電体膜の前記第 2 熱酸化膜は、シリコン上において、30～200 オングストロームの熱酸化膜が成長する方法で形成された厚みであり、

前記他の誘電体膜の前記窒化膜の厚みは、50～500 オングストロームであり、

前記他の誘電体膜の前記酸化膜の厚みは、100～200 オングストロームである、半導体装置。

【請求項 12】 請求項 1～11 のいずれかにおいて、

前記上部電極および前記他の上部電極は、ポリシリコンからなる電極である、半導体装置。

【請求項 1 3】 請求項 1 ～ 1 1 のいずれかにおいて、
前記上部電極および前記他の上部電極は、ポリサイドからなる電極である、半
導体装置。

【請求項 1 4】 請求項 1 ～ 1 1 のいずれかにおいて、
前記上部電極および前記他の上部電極は、金属からなる電極である、半導体装
置。

【請求項 1 5】 請求項 1 ～ 1 1 のいずれかにおいて、
前記上部電極および前記他の上部電極は、サリサイドからなる電極である、半
導体装置。

【請求項 1 6】 請求項 1 ～ 1 5 のいずれかにおいて、
前記下部電極および前記他の下部電極は、同一工程で形成された膜であり、
前記上部電極および前記他の上部電極は、同一工程で形成された膜である、半
導体装置。

【請求項 1 7】 請求項 4 ～ 1 6 のいずれかにおいて、
前記不揮発性メモリトランジスタは、
フローティングゲートと、
コントロールゲートと、
前記フローティングゲートと前記コントロールゲートとの間に位置する中間絶
縁膜と、
を含み、

前記中間絶縁膜は、前記フローティングゲートから前記コントロールゲートへ
向かって、順に、第 1 熱酸化膜、C V D 酸化膜、第 2 熱酸化膜、酸化膜を有する
構造である、半導体装置。

【請求項 1 8】 請求項 1 7 において、
前記中間絶縁膜の前記第 1 熱酸化膜と、前記他の誘電体膜の前記第 1 熱酸化膜
とは、同一工程で形成された膜であり、
前記中間絶縁膜の前記 C V D 酸化膜と、前記他の誘電体膜の前記 C V D 酸化膜
とは、同一工程で形成された膜であり、
前記中間絶縁膜の前記第 2 熱酸化膜と、前記誘電体膜の前記熱酸化膜と、前記

他の誘電体膜の前記第 2 熱酸化膜とは、同一工程で形成された膜であり、

前記中間絶縁膜の前記酸化膜と、前記誘電体膜の前記酸化膜と、前記他の誘電体膜の前記酸化膜とは、同一工程で形成された膜である、半導体装置。

【請求項 1 9】 請求項 1 7 または 1 8 において、

前記中間絶縁膜は、窒化膜を含み、

前記中間絶縁膜の前記窒化膜は、前記フローティングゲートの側壁下部であって、かつ前記中間絶縁膜の前記第 2 熱酸化膜と前記中間絶縁膜の前記酸化膜との間に位置している、半導体装置。

【請求項 2 0】 請求項 1 9 において、

前記中間絶縁膜の前記窒化膜と、前記誘電体膜の前記窒化膜と、前記他の誘電体膜の前記窒化膜とは、同一工程で形成された膜である、半導体装置。

【請求項 2 1】 請求項 1 7 ～ 2 0 のいずれかにおいて、

前記中間絶縁膜の前記 C V D 酸化膜は、高温熱 C V D 酸化膜を含む、半導体装置。

【請求項 2 2】 請求項 1 7 ～ 2 1 のいずれかにおいて、

前記中間絶縁膜の前記酸化膜は、熱酸化膜および C V D 酸化膜のうち、少なくともいずれか一つを含む、半導体装置。

【請求項 2 3】 請求項 1 7 ～ 2 2 のいずれかにおいて、

前記コントロールゲート、前記上部電極および前記他の上部電極は、ポリシリコンからなる電極である、半導体装置。

【請求項 2 4】 請求項 1 7 ～ 2 2 のいずれかにおいて、

前記コントロールゲート、前記上部電極および前記他の上部電極は、ポリサイドからなる電極である、半導体装置。

【請求項 2 5】 請求項 1 7 ～ 2 2 のいずれかにおいて、

前記コントロールゲート、前記上部電極および前記他の上部電極は、金属からなる電極である、半導体装置。

【請求項 2 6】 請求項 1 7 ～ 2 2 のいずれかにおいて、

前記コントロールゲート、前記上部電極および前記他の上部電極は、サリサイドからなる電極である、半導体装置。

【請求項 2 7】 請求項 1 7 ～ 2 6 のいずれかにおいて、
前記フローティングゲートと、前記下部電極と、前記他の下部電極とは、同一工程で形成された膜であり、

前記コントロールゲートと、前記上部電極と、前記他の上部電極とは、同一工程で形成された膜である、半導体装置。

【請求項 2 8】 請求項 1 ～ 2 7 のいずれかにおいて、
前記上部電極が前記誘電体膜と面する面積と、前記他の上部電極が前記他の誘電体膜と面する面積とは同じである、半導体装置。

【請求項 2 9】 請求項 1 ～ 2 7 のいずれかにおいて、
前記上部電極が前記誘電体膜と面する面積と、前記他の上部電極が前記他の誘電体膜と面する面積とは異なる、半導体装置。

【請求項 3 0】 請求項 1 ～ 2 9 のいずれかにおいて、
前記他の下部電極の不純物濃度は、前記下部電極の不純物濃度と異なる、半導体装置。

【請求項 3 1】 請求項 1 ～ 3 0 のいずれかにおいて、
前記誘電体膜の膜厚は、1 8 0 ～ 9 0 0 オングストロームであり、
前記他の誘電体膜の膜厚は、3 4 0 ～ 1 1 8 0 オングストロームである、半導体装置。

【請求項 3 2】 請求項 1 ～ 3 1 のいずれかにおいて、
前記容量素子の容量値は、前記他の容量素子の容量値と異なる、半導体装置。

【請求項 3 3】 請求項 1 ～ 3 2 のいずれかにおいて、
前記容量素子および前記他の容量素子は、アナログ回路の構成要素である、半導体装置。

【請求項 3 4】 請求項 1 ～ 3 3 のいずれかにおいて、
前記不揮発性メモリトランジスタは、スプリットゲート型を含む、半導体装置。

【請求項 3 5】 不揮発性メモリトランジスタ、容量素子および他の容量素子が、一つの半導体基板に形成されており、

前記不揮発性メモリトランジスタは、フローティングゲート、中間絶縁膜およ

びコントロールゲートを含み、

前記容量素子は、下部電極、誘電体膜および上部電極を含み、

前記他の容量素子は、他の下部電極、他の誘電体膜および他の上部電極を含む、構造の半導体装置の製造方法であって、

(a) 前記半導体基板上に、前記フローティングゲート、前記下部電極および前記他の下部電極を形成する工程と、

(b) 前記フローティングゲート上、前記下部電極上および前記他の下部電極上に、第 1 酸化膜を形成する工程と、

(c) 前記第 1 酸化膜上に、第 2 酸化膜を形成する工程と、

(d) 前記第 1 酸化膜および前記第 2 酸化膜をパターンニングすることにより

前記フローティングゲートの側壁上に、前記中間絶縁膜の構成要素となる前記第 1 酸化膜および前記第 2 酸化膜を残し、かつ、

前記下部電極上の前記第 1 酸化膜および前記第 2 酸化膜を除去し、かつ、

前記他の下部電極上に、前記他の誘電体膜の構成要素となる前記第 1 酸化膜および前記第 2 酸化膜を残す工程と、

(e) 前記フローティングゲートの側壁上にある前記第 2 酸化膜上、

前記下部電極上、および、

前記他の下部電極上にある前記第 2 酸化膜上に、

それぞれ、前記中間絶縁膜の構成要素、前記誘電体膜の構成要素および前記他の誘電体膜の構成要素となる第 3 酸化膜を形成する工程と、

(f) 前記下部電極上にある前記第 3 酸化膜上、および、

前記他の下部電極上にある前記第 3 酸化膜上に、

それぞれ、前記誘電体膜の構成要素および前記他の誘電体膜の構成要素となる窒化膜を形成する工程と、

(g) 前記フローティングゲートの側壁上にある前記第 3 酸化膜上、

前記下部電極上にある前記窒化膜上、および、

前記他の下部電極上にある前記窒化膜上に、

それぞれ、前記中間絶縁膜の構成要素、前記誘電体膜の構成要素および前記他

の誘電体膜の構成要素となる第 4 酸化膜を形成する工程と、

(h) 前記工程 (g) 後、前記半導体基板上に、前記コントロールゲート、前記上部電極および前記他の上部電極を形成する工程と、

を備えた半導体装置の製造方法。

【請求項 3 6】 請求項 3 5 において、

前記工程 (a) は、

前記下部電極に不純物を導入することにより、前記下部電極を第 1 の不純物濃度にする工程と、

前記他の下部電極に不純物を導入することにより、前記他の下部電極を第 1 の不純物濃度とは異なる第 2 の不純物濃度にする工程と、

を備えた半導体装置の製造方法。

【請求項 3 7】 請求項 3 5 または 3 6 において、

前記第 1 酸化膜は、熱酸化により形成される、半導体装置の製造方法。

【請求項 3 8】 請求項 3 5 ～ 3 7 のいずれかにおいて、

前記第 2 酸化膜は、CVD により形成される、半導体装置の製造方法。

【請求項 3 9】 請求項 3 8 において、

前記 CVD は、高温熱 CVD を含む、半導体装置の製造方法。

【請求項 4 0】 請求項 3 5 ～ 3 9 のいずれかにおいて、

前記第 3 酸化膜は、熱酸化により形成される、半導体装置の製造方法。

【請求項 4 1】 請求項 3 5 ～ 4 0 のいずれかにおいて、

前記窒化膜は、CVD により形成される、半導体装置の製造方法。

【請求項 4 2】 請求項 3 5 ～ 4 1 のいずれかにおいて、

前記第 4 酸化膜は、熱酸化により形成される、半導体装置の製造方法。

【請求項 4 3】 請求項 3 5 ～ 4 1 のいずれかにおいて、

前記第 4 酸化膜は、CVD により形成される、半導体装置の製造方法。

【請求項 4 4】 請求項 3 5 ～ 4 3 のいずれかにおいて、

前記工程 (f) は、

前記第 3 酸化膜上に、窒化膜を形成する工程と、

前記下部電極上にある前記第 3 酸化膜上の前記窒化膜上、および、

前記他の下部電極上にある前記第 3 酸化膜上の前記窒化膜上に、
それぞれ、マスク膜を形成する工程と、
前記マスク膜をマスクとして、前記窒化膜を異方性エッチングにより選択的に
除去することにより、
前記フローティングゲートの側壁下部上にある前記第 3 酸化膜上、
前記下部電極上にある前記第 3 酸化膜上、および、
前記他の下部電極上にある前記第 3 酸化膜上に、
それぞれ、前記中間絶縁膜の構成要素、前記誘電体膜の構成要素および前記他
の誘電体膜の構成要素となる前記窒化膜を残す工程と、
を備えた半導体装置の製造方法。

【請求項 4 5】 請求項 3 5 ～ 4 4 のいずれかにおいて、
前記工程（a）は、
前記フローティングゲート上に選択酸化膜を形成する工程を備えた、半導体装
置の製造方法。

【請求項 4 6】 請求項 4 5 において、
前記選択酸化膜を形成する工程は、
前記半導体基板上に、導電膜を形成する工程と、
前記フローティングゲートとなる前記導電膜上に、前記選択酸化膜を形成する
工程と、 を備えた、半導体装置の製造方法。

【請求項 4 7】 請求項 4 6 において、
前記フローティングゲートのパターンニングは、前記選択酸化膜をマスクとす
る、半導体装置の製造方法。

【請求項 4 8】 請求項 3 5 ～ 4 4 のいずれかにおいて、
前記工程（a）は、
前記半導体基板上に、導電膜を形成する工程と、
前記導電膜をパターンニングすることにより、前記フローティングゲート、前
記下部電極および前記他の下部電極を、同時に形成する工程と、
を備えた半導体装置の製造方法。

【請求項 4 9】 請求項 3 5 ～ 4 8 のいずれかにおいて、

前記工程（h）は、
前記半導体基板上に、他の導電膜を形成する工程と、
前記他の導電膜をパターンニングすることにより、前記コントロールゲート、
前記上部電極および前記他の上部電極を、同時に形成する工程と
を備えた半導体装置の製造方法。

【請求項 5 0】 請求項 3 5 ～ 4 9 のいずれかにおいて、
前記不揮発性メモリトランジスタは、スプリットゲート型を含む、半導体装置
の製造方法。

【請求項 5 1】 不揮発性メモリトランジスタを備えた半導体装置であって
、
容量素子を備え、
前記不揮発性メモリトランジスタおよび前記容量素子は、一つの半導体基板に
形成され、

前記容量素子は、下部電極、誘電体膜および上部電極を含み、
前記誘電体膜は、前記下部電極から前記上部電極へ向かって、順に、第 1 酸化
膜、第 2 酸化膜、窒化膜、第 3 酸化膜を有する構造である、半導体装置。

【請求項 5 2】 不揮発性メモリトランジスタを備えた半導体装置であって
、
容量素子を備え、
前記不揮発性メモリトランジスタおよび前記容量素子は、一つの半導体基板に
形成され、

前記容量素子は、下部電極、誘電体膜および上部電極を含み、
前記誘電体膜は、前記下部電極から前記上部電極へ向かって、順に、第 1 酸化
膜、第 2 酸化膜、窒化膜、第 3 酸化膜のみを有する構造である、半導体装置。

【請求項 5 3】 請求項 5 1 または 5 2 において、
前記第 1 酸化膜は、熱酸化膜を含み、
前記第 2 酸化膜は、CVD 酸化膜を含み、
前記第 3 酸化膜は、熱酸化膜を含む、半導体装置。

【請求項 5 4】 請求項 5 3 において、

前記第 2 酸化膜は、高温熱 C V D 酸化膜を含む、半導体装置。

【請求項 5 5】 請求項 5 3 または 5 4 において、

前記第 1 酸化膜は、シリコン上において、6 0 ～ 8 0 オングストロームの熱酸化膜が成長する方法で形成された厚みであり、

前記第 2 酸化膜の厚みは、1 0 0 ～ 2 0 0 オングストロームであり、

前記窒化膜の厚みは、5 0 ～ 5 0 0 オングストロームであり、

前記第 3 酸化膜は、シリコン上において、6 0 ～ 8 0 オングストロームの熱酸化膜が成長する方法で形成された厚みである、半導体装置。

【請求項 5 6】 請求項 5 1 ～ 5 5 のいずれかにおいて、

前記不揮発性メモリトランジスタは、

フローティングゲートと、

コントロールゲートと、

前記フローティングゲートと前記コントロールゲートとの間に位置する中間絶縁膜と、

を含み、

前記中間絶縁膜は、前記フローティングゲートから前記コントロールゲートへ向かって、順に、第 1 酸化膜、第 2 酸化膜、第 3 酸化膜を有する構造である、半導体装置。

【請求項 5 7】 請求項 5 6 において、

前記中間絶縁膜の前記第 1 酸化膜は、熱酸化膜を含み、

前記中間絶縁膜の前記第 2 酸化膜は、C V D 酸化膜を含み、

前記中間絶縁膜の前記第 3 酸化膜は、熱酸化膜を含む、半導体装置。

【請求項 5 8】 請求項 5 7 において、

前記中間絶縁膜の前記第 2 酸化膜は、高温熱 C V D 酸化膜を含む、半導体装置。

【請求項 5 9】 請求項 5 6 ～ 5 8 のいずれかにおいて、

前記中間絶縁膜の前記第 1 酸化膜と、前記誘電体膜の前記第 1 酸化膜とは、同一工程で形成された膜であり、

前記中間絶縁膜の前記第 2 酸化膜と、前記誘電体膜の前記第 2 酸化膜とは、同

一工程で形成された膜であり、

前記中間絶縁膜の前記第 3 酸化膜と、前記誘電体膜の前記第 3 酸化膜とは、同一工程で形成された膜である、半導体装置。

【請求項 6 0】 請求項 5 6 ～ 5 9 のいずれかにおいて、

前記中間絶縁膜は、窒化膜を含み、

前記中間絶縁膜の前記窒化膜は、前記フローティングゲートの側壁下部であって、かつ前記中間絶縁膜の前記第 2 酸化膜と前記中間絶縁膜の前記第 3 酸化膜との間に位置している、半導体装置。

【請求項 6 1】 請求項 6 0 において、

前記中間絶縁膜の前記窒化膜と、前記誘電体膜の前記窒化膜とは、同一工程で形成された膜である、半導体装置。

【請求項 6 2】 請求項 5 6 ～ 6 1 のいずれかにおいて、

前記コントロールゲートおよび前記上部電極は、ポリシリコンからなる電極である、半導体装置。

【請求項 6 3】 請求項 5 6 ～ 6 1 のいずれかにおいて、

前記コントロールゲートおよび前記上部電極は、ポリサイドからなる電極である、半導体装置。

【請求項 6 4】 請求項 5 6 ～ 6 1 のいずれかにおいて、

前記コントロールゲートおよび前記上部電極は、金属からなる電極である、半導体装置。

【請求項 6 5】 請求項 5 6 ～ 6 1 のいずれかにおいて、

前記コントロールゲートおよび前記上部電極は、サリサイドからなる電極である、半導体装置。

【請求項 6 6】 請求項 5 6 ～ 6 5 のいずれかにおいて、

前記フローティングゲートと、前記下部電極とは、同一工程で形成された膜であり、

前記コントロールゲートと、前記上部電極とは、同一工程で形成された膜である、半導体装置。

【請求項 6 7】 請求項 5 1 ～ 6 6 のいずれかにおいて、

前記容量素子は、アナログ回路の構成要素である、半導体装置。

【請求項 6 8】 請求項 5 1 ～ 6 7 のいずれかにおいて、
前記不揮発性メモリトランジスタは、スプリットゲート型を含む、半導体装置

。 【請求項 6 9】 不揮発性メモリトランジスタおよび容量素子が、一つの半導体基板に形成されており、

前記不揮発性メモリトランジスタは、フローティングゲート、中間絶縁膜およびコントロールゲートを含み、

前記容量素子は、下部電極、誘電体膜および上部電極を含む、構造の半導体装置の製造方法であって、

(a) 前記半導体基板上に、前記フローティングゲートおよび前記下部電極を形成する工程と、

(b) 前記フローティングゲート上および前記下部電極上に、第 1 酸化膜を形成する工程と、

(c) 前記第 1 酸化膜上に、第 2 酸化膜を形成する工程と、

(d) 前記下部電極上にある前記第 2 酸化膜上に、前記誘電体膜の構成要素となる窒化膜を形成する工程と、

(e) 前記フローティングゲートの側壁上にある前記第 2 酸化膜上、および、前記下部電極上にある前記窒化膜上に、

それぞれ、前記中間絶縁膜の構成要素および前記誘電体膜の構成要素となる第 3 酸化膜を形成する工程と、

(f) 前記工程 (e) 後、前記半導体基板上に、前記コントロールゲートおよび前記上部電極を形成する工程と、

を備えた半導体装置の製造方法。

【請求項 7 0】 請求項 6 9 において、
前記工程 (a) は、

前記下部電極に不純物を導入することにより、前記下部電極を所定の不純物濃度にする工程を備えた、半導体装置の製造方法。

【請求項 7 1】 請求項 6 9 または 7 0 において、

前記第 1 酸化膜は、熱酸化により形成される、半導体装置の製造方法。

【請求項 7 2】 請求項 6 9 ～ 7 1 のいずれかにおいて、

前記第 2 酸化膜は、CVD により形成される、半導体装置の製造方法。

【請求項 7 3】 請求項 7 2 において、

前記 CVD は、高温熱 CVD を含む、半導体装置の製造方法。

【請求項 7 4】 請求項 6 9 ～ 7 3 のいずれかにおいて、

前記窒化膜は、CVD により形成される、半導体装置の製造方法。

【請求項 7 5】 請求項 6 9 ～ 7 4 のいずれかにおいて、

前記第 3 酸化膜は、熱酸化により形成される、半導体装置の製造方法。

【請求項 7 6】 請求項 6 9 ～ 7 5 のいずれかにおいて、

前記工程 (d) は、

前記第 2 酸化膜上に、窒化膜を形成する工程と、

前記下部電極上にある前記第 2 酸化膜上の前記窒化膜上に、マスク膜を形成する工程と、

前記マスク膜をマスクとして、前記窒化膜を異方性エッチングにより選択的に除去することにより、

前記フローティングゲートの側壁下部上にある前記第 2 酸化膜上、および、

前記下部電極上にある前記第 2 酸化膜上に、

それぞれ、前記中間絶縁膜の構成要素および前記誘電体膜の構成要素となる前記窒化膜を残す工程と、

を備えた半導体装置の製造方法。

【請求項 7 7】 請求項 6 9 ～ 7 6 のいずれかにおいて、

前記工程 (a) は、

前記フローティングゲート上に選択酸化膜を形成する工程を備えた、半導体装置の製造方法。

【請求項 7 8】 請求項 7 7 において、

前記選択酸化膜を形成する工程は、

前記半導体基板上に、導電膜を形成する工程と、

前記フローティングゲートとなる前記導電膜上に、前記選択酸化膜を形成する

工程と、 を備えた、半導体装置の製造方法。

【請求項 7 9】 請求項 7 8 において、

前記フローティングゲートのパターンニングは、前記選択酸化膜をマスクとする、半導体装置の製造方法。

【請求項 8 0】 請求項 6 9 ～ 7 6 のいずれかにおいて、

前記工程（a）は、

前記半導体基板上に、導電膜を形成する工程と、

前記導電膜をパターンニングすることにより、前記フローティングゲートおよび前記下部電極を、同時に形成する工程と、

を備えた半導体装置の製造方法。

【請求項 8 1】 請求項 6 9 ～ 8 0 のいずれかにおいて、

前記工程（f）は、

前記半導体基板上に、他の導電膜を形成する工程と、

前記他の導電膜をパターンニングすることにより、前記コントロールゲートおよび前記上部電極を、同時に形成する工程と

を備えた半導体装置の製造方法。

【請求項 8 2】 請求項 6 9 ～ 8 1 のいずれかにおいて、

前記不揮発性メモリトランジスタは、スプリットゲート型を含む、半導体装置

。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、不揮発性メモリトランジスタを含む半導体装置およびその製造方法に関する。

【0 0 0 2】

【背景技術および発明が解決しようとする課題】

近年、チップインターフェイス遅延の短縮、ボード面積分のコスト低減、ボード設計開発のコスト低減などの観点から、各種回路の混載が要求される。

【0 0 0 3】

本発明の目的は、不揮発性メモリトランジスタと、他の素子と、を同一の半導体基板に混載した半導体装置およびその製造方法を提供することである。

【 0 0 0 4 】

【課題を解決するための手段】

[1] 本発明に係る半導体装置は、
不揮発性メモリトランジスタを備えた半導体装置であって、
容量素子および他の容量素子を備え、
前記不揮発性メモリトランジスタ、前記容量素子および前記他の容量素子は、
一つの半導体基板に形成され、
前記容量素子は、下部電極と、誘電体膜と、上部電極と、を含み、
前記他の容量素子は、他の下部電極と、他の誘電体膜と、他の上部電極と、を含み、
前記他の誘電体膜の膜厚は、前記誘電体膜の膜厚と異なる、ことを特徴とする。

【 0 0 0 5 】

本発明に係る半導体装置によれば、前記他の誘電体膜の膜厚は、前記誘電体膜の膜厚と異なるので、容量素子および他の容量素子の容量値を、それぞれ、所望の値にすることができる。なお、不揮発性メモリトランジスタとは、例えば、フラッシュセルのことである。以下の不揮発性メモリトランジスタも同じである。

【 0 0 0 6 】

本発明に係る半導体装置は、
不揮発性メモリトランジスタを備えた半導体装置であって、
容量素子および他の容量素子を備え、
前記不揮発性メモリトランジスタ、前記容量素子および前記他の容量素子は、
一つの半導体基板に形成され、
前記容量素子は、下部電極と、複数の膜を構成要素とする誘電体膜と、上部電極と、を含み、
前記他の容量素子は、他の下部電極と、複数の膜を構成要素とする他の誘電体膜と、他の上部電極と、を含み、

前記他の誘電体膜は、前記誘電体膜の構成要素とは異なる構成要素を含む、ことを特徴とする。

【 0 0 0 7 】

本発明に係る半導体装置によれば、前記他の誘電体膜は、前記誘電体膜の構成要素とは異なる構成要素を含むので、容量素子および他の容量素子の容量値を、それぞれ、所望の値にすることができる。

【 0 0 0 8 】

本発明に係る半導体装置には、以下の態様がある。

【 0 0 0 9 】

(1) 前記誘電体膜および前記他の誘電体膜は、ONO膜を含む。ONO膜とは、酸化膜、窒化膜、酸化膜が積層された膜である。

【 0 0 1 0 】

酸化膜とは、例えば、シリコン酸化膜のような、酸素を含む絶縁膜のことである。窒化膜とは、例えば、シリコン窒化膜のような、窒素を含む絶縁膜のことである。以下のONO膜、酸化膜、窒化膜もこの意味である。

【 0 0 1 1 】

(2) 前記誘電体膜は、前記下部電極から前記上部電極へ向かって、順に、熱酸化膜、窒化膜、酸化膜を有する構造であり、

前記他の誘電体膜は、前記他の下部電極から前記他の上部電極へ向かって、順に、第1熱酸化膜、CVD酸化膜、第2熱酸化膜、窒化膜、酸化膜を有する構造である。

【 0 0 1 2 】

前記誘電体膜は、上記の三層構造でもよいし、さらに他の膜を加えてもよい。前記他の誘電体膜は、上記の五層構造でもよいし、さらに他の膜を加えてもよい。

【 0 0 1 3 】

(3) 前記誘電体膜は、前記下部電極から前記上部電極へ向かって、順に、熱酸化膜、窒化膜、酸化膜のみを有する構造であり、

前記他の誘電体膜は、前記他の下部電極から前記他の上部電極へ向かって、順

に、第 1 熱酸化膜、C V D 酸化膜、第 2 熱酸化膜、窒化膜、酸化膜のみを有する構造である。

【 0 0 1 4 】

前記誘電体膜は、上記の三層のみで構成され、他の膜は加わらない。前記他の誘電体膜は、上記の五層のみ構成され、他の膜は加わらない。

【 0 0 1 5 】

(4) 前記誘電体膜の前記熱酸化膜と、前記他の誘電体膜の前記第 2 熱酸化膜とは、同一工程で形成された膜であり、

前記誘電体膜の前記窒化膜と、前記他の誘電体膜の前記窒化膜とは、同一工程で形成された膜であり、

前記誘電体膜の前記酸化膜と、前記他の誘電体膜の前記酸化膜とは、同一工程で形成された膜である。

【 0 0 1 6 】

これによれば、半導体装置の製造工程を簡略にすることができる。

【 0 0 1 7 】

(5) 前記他の誘電体膜の前記 C V D 酸化膜は、高温熱 C V D 酸化膜を含む。

【 0 0 1 8 】

これによれば、前記 C V D 酸化膜は緻密な膜になるので、他の容量素子の耐圧を向上させることができる。

【 0 0 1 9 】

(6) 前記誘電体膜の前記酸化膜および前記他の誘電体膜の前記酸化膜は、熱酸化膜を含む。

【 0 0 2 0 】

これによれば、同一の半導体基板に、電界効果トランジスタを混載する場合、前記酸化膜形成時に、ゲート酸化膜を同時に形成することができる。

【 0 0 2 1 】

(7) 前記誘電体膜の前記熱酸化膜は、シリコン上において、30～200 オングストロームの熱酸化膜が成長する方法で形成された厚みであり、

前記誘電体膜の前記窒化膜の厚みは、50～500オングストロームであり、
前記誘電体膜の前記酸化膜は、シリコン上において、60～80オングストロームの熱酸化膜が成長する方法で形成された厚みであり、

前記他の誘電体膜の前記第1熱酸化膜は、シリコン上において、60～80オングストロームの熱酸化膜が成長する方法で形成された厚みであり、

前記他の誘電体膜の前記CVD酸化膜の厚みは、100～200オングストローム（特に、150オングストローム）であり、

前記他の誘電体膜の前記第2熱酸化膜は、シリコン上において、30～200オングストロームの熱酸化膜が成長する方法で形成された厚みであり、

前記他の誘電体膜の前記窒化膜の厚みは、50～500オングストロームであり、

前記他の誘電体膜の前記酸化膜は、シリコン上において、60～80オングストロームの熱酸化膜が成長する方法で形成された厚みである。

【0022】

（8）前記誘電体膜の前記酸化膜および前記他の誘電体膜の前記酸化膜は、CVD酸化膜を含む。

【0023】

これによれば、同一の半導体基板に、特に、高耐圧の電界効果トランジスタを混載する場合、前記酸化膜を、ゲート酸化膜の一部にすることができる。

【0024】

（9）前記誘電体膜の前記熱酸化膜は、シリコン上において、30～200オングストロームの熱酸化膜が成長する方法で形成された厚みであり、

前記誘電体膜の前記窒化膜の厚みは、50～500オングストロームであり、
前記誘電体膜の前記酸化膜の厚みは、100～200オングストロームであり、

前記他の誘電体膜の前記第1熱酸化膜は、シリコン上において、60～80オングストロームの熱酸化膜が成長する方法で形成された厚みであり、

前記他の誘電体膜の前記CVD酸化膜の厚みは、100～200オングストロームであり、

前記他の誘電体膜の前記第 2 熱酸化膜は、シリコン上において、30～200 オングストロームの熱酸化膜が成長する方法で形成された厚みであり、

前記他の誘電体膜の前記窒化膜の厚みは、50～500 オングストロームであり、

前記他の誘電体膜の前記酸化膜の厚みは、100～200 オングストロームである。

【 0 0 2 5 】

(10) 前記上部電極および前記他の上部電極は、ポリシリコンからなる電極である。

【 0 0 2 6 】

(11) 前記上部電極および前記他の上部電極は、ポリサイドからなる電極である。

【 0 0 2 7 】

これによれば、前記上部電極および前記他の上部電極を低抵抗にできるので、半導体装置の高速化を図れる。

【 0 0 2 8 】

(12) 前記上部電極および前記他の上部電極は、金属からなる電極である。

【 0 0 2 9 】

これによれば、前記上部電極および前記他の上部電極を低抵抗にできるので、半導体装置の高速化を図れる。

【 0 0 3 0 】

(13) 前記上部電極および前記他の上部電極は、サリサイドからなる電極である。

【 0 0 3 1 】

これによれば、前記上部電極および前記他の上部電極を低抵抗にできるので、半導体装置の高速化を図れる。

【 0 0 3 2 】

(14) 前記下部電極および前記他の下部電極は、同一工程で形成された膜

であり、

前記上部電極および前記他の上部電極は、同一工程で形成された膜である。

【 0 0 3 3 】

これによれば、半導体装置の製造工程を簡略にすることができる。

【 0 0 3 4 】

(1 5) 前記不揮発性メモリトランジスタは、

フローティングゲートと、

コントロールゲートと、

前記フローティングゲートと前記コントロールゲートとの間に位置する中間絶縁膜と、

を含み、

前記中間絶縁膜は、前記フローティングゲートから前記コントロールゲートへ向かって、順に、第 1 熱酸化膜、C V D 酸化膜、第 2 熱酸化膜、酸化膜を有する構造である。

【 0 0 3 5 】

前記中間絶縁膜とは、前記不揮発性メモリトランジスタが動作する際に、例えば、トンネル絶縁膜として機能する膜である。

【 0 0 3 6 】

(1 6) 前記中間絶縁膜の前記第 1 熱酸化膜と、前記他の誘電体膜の前記第 1 熱酸化膜とは、同一工程で形成された膜であり、

前記中間絶縁膜の前記 C V D 酸化膜と、前記他の誘電体膜の前記 C V D 酸化膜とは、同一工程で形成された膜であり、

前記中間絶縁膜の前記第 2 熱酸化膜と、前記誘電体膜の前記熱酸化膜と、前記他の誘電体膜の前記第 2 熱酸化膜とは、同一工程で形成された膜であり、

前記中間絶縁膜の前記酸化膜と、前記誘電体膜の前記酸化膜と、前記他の誘電体膜の前記酸化膜とは、同一工程で形成された膜である。

【 0 0 3 7 】

これによれば、半導体装置の製造工程を簡略にすることができる。

【 0 0 3 8 】

(17) 前記中間絶縁膜は、窒化膜を含み、

前記中間絶縁膜の前記窒化膜は、前記フローティングゲートの側壁下部であって、かつ前記中間絶縁膜の前記第2熱酸化膜と前記中間絶縁膜の前記酸化膜との間に位置している。

【0039】

前記不揮発性メモリトランジスタの動作のため、コントロールゲートに電圧（例えば、負電圧）を印加したとき、前記フローティングゲートの側壁下部に電界が集中することがある。これによれば、前記中間絶縁膜の耐圧を向上させることができる。

【0040】

(18) 前記中間絶縁膜の前記窒化膜と、前記誘電体膜の前記窒化膜と、前記他の誘電体膜の前記窒化膜とは、同一工程で形成された膜である。

【0041】

これによれば、半導体装置の製造工程を簡略にすることができる。

【0042】

(19) 前記中間絶縁膜の前記CVD酸化膜は、高温熱CVD酸化膜を含む。

【0043】

これによれば、前記CVD酸化膜は緻密な膜になるので、前記中間絶縁膜の耐圧を向上させることができる。

【0044】

(20) 前記中間絶縁膜の前記酸化膜は、熱酸化膜およびCVD酸化膜のうち、少なくともいずれか一つを含む。

【0045】

(21) 前記コントロールゲート、前記上部電極および前記他の上部電極は、ポリシリコンからなる電極である。

【0046】

(22) 前記コントロールゲート、前記上部電極および前記他の上部電極は、ポリサイドからなる電極である。

【0047】

これによれば、前記コントロールゲート、前記上部電極および前記他の上部電極を低抵抗にできるので、半導体装置の高速化を図れる。

【0048】

(23) 前記コントロールゲート、前記上部電極および前記他の上部電極は、金属からなる電極である。

【0049】

これによれば、前記コントロールゲート、前記上部電極および前記他の上部電極を低抵抗にできるので、半導体装置の高速化を図れる。

【0050】

(24) 前記コントロールゲート、前記上部電極および前記他の上部電極は、サリサイドからなる電極である。

【0051】

これによれば、前記コントロールゲート、前記上部電極および前記他の上部電極を低抵抗にできるので、半導体装置の高速化を図れる。

【0052】

(25) 前記フローティングゲートと、前記下部電極と、前記他の下部電極とは、同一工程で形成された膜であり、

前記コントロールゲートと、前記上部電極と、前記他の上部電極とは、同一工程で形成された膜である。

【0053】

これによれば、半導体装置の製造工程を簡略にすることができる。

【0054】

(26) 前記上部電極が前記誘電体膜と面する面積と、前記他の上部電極が前記他の誘電体膜と面する面積とは同じである。

【0055】

本発明では、前記誘電体膜と前記他の誘電体膜とは、膜厚が異なる（構成要素が異なる）。よって、これによれば、前記容量素子と前記他の容量素子の容量値を異ならせることができる。

【 0 0 5 6 】

(2 7) 前記上部電極が前記誘電体膜と面する面積と、前記他の上部電極が前記他の誘電体膜と面する面積とは異なる。

【 0 0 5 7 】

本発明では、前記誘電体膜と前記他の誘電体膜の膜厚が異なる（構成要素が異なる）。よって、これによれば、前記容量素子と前記他の容量素子の容量値を同じにすることが可能となる。

【 0 0 5 8 】

(2 8) 前記他の下部電極の不純物濃度は、前記下部電極の不純物濃度と異なる。

【 0 0 5 9 】

不純物濃度を変えることにより、容量値を制御することができる。よって、この態様によれば、容量素子の容量値と他の容量素子の容量値の組み合わせを、より多様化できる。

【 0 0 6 0 】

(2 9) 前記誘電体膜の膜厚は、1 8 0 ～ 9 0 0 オングストロームであり、前記他の誘電体膜の膜厚は、3 4 0 ～ 1 1 8 0 オングストロームである。

【 0 0 6 1 】

(3 0) 前記容量素子の容量値は、前記他の容量素子の容量値と異なる。

【 0 0 6 2 】

(3 1) 前記容量素子および前記他の容量素子は、アナログ回路の構成要素である。

【 0 0 6 3 】

(3 2) 前記不揮発性メモリトランジスタは、スプリットゲート型を含む。

【 0 0 6 4 】

[2] 本発明に係る半導体装置の製造方法は、
不揮発性メモリトランジスタ、容量素子および他の容量素子が、一つの半導体基板に形成されており、

前記不揮発性メモリトランジスタは、フローティングゲート、中間絶縁膜およ

びコントロールゲートを含み、

前記容量素子は、下部電極、誘電体膜および上部電極を含み、

前記他の容量素子は、他の下部電極、他の誘電体膜および他の上部電極を含む、構造の半導体装置の製造方法であって、

(a) 前記半導体基板上に、前記フローティングゲート、前記下部電極および前記他の下部電極を形成する工程と、

(b) 前記フローティングゲート上、前記下部電極上および前記他の下部電極上に、第 1 酸化膜を形成する工程と、

(c) 前記第 1 酸化膜上に、第 2 酸化膜を形成する工程と、

(d) 前記第 1 酸化膜および前記第 2 酸化膜をパターンニングすることにより

前記フローティングゲートの側壁上に、前記中間絶縁膜の構成要素となる前記第 1 酸化膜および前記第 2 酸化膜を残し、かつ、

前記下部電極上の前記第 1 酸化膜および前記第 2 酸化膜を除去し、かつ、

前記他の下部電極上に、前記他の誘電体膜の構成要素となる前記第 1 酸化膜および前記第 2 酸化膜を残す工程と、

(e) 前記フローティングゲートの側壁上にある前記第 2 酸化膜上、

前記下部電極上、および、

前記他の下部電極上にある前記第 2 酸化膜上に、

それぞれ、前記中間絶縁膜の構成要素、前記誘電体膜の構成要素および前記他の誘電体膜の構成要素となる第 3 酸化膜を形成する工程と、

(f) 前記下部電極上にある前記第 3 酸化膜上、および、

前記他の下部電極上にある前記第 3 酸化膜上に、

それぞれ、前記誘電体膜の構成要素および前記他の誘電体膜の構成要素となる窒化膜を形成する工程と、

(g) 前記フローティングゲートの側壁上にある前記第 3 酸化膜上、

前記下部電極上にある前記窒化膜上、および、

前記他の下部電極上にある前記窒化膜上に、

それぞれ、前記中間絶縁膜の構成要素、前記誘電体膜の構成要素および前記他

の誘電体膜の構成要素となる第 4 酸化膜を形成する工程と、

(h) 前記工程 (g) 後、前記半導体基板上に、前記コントロールゲート、前記上部電極および前記他の上部電極を形成する工程と、
を備える。

【 0 0 6 5 】

本発明に係る半導体装置の製造方法によれば、不揮発性メモリトランジスタ、容量素子および他の容量素子を、一つの半導体基板に形成することができる。そして、容量素子の誘電体膜および他の容量素子の他の誘電体膜は、ともに、ON 膜となる。そして、他の誘電体膜の膜厚を、誘電体膜の膜厚と異なるようにすることができる (他の誘電体膜に、誘電体膜の構成要素とは異なる構成要素を含むようにすることができる。) 。

【 0 0 6 6 】

本発明に係る半導体装置には、以下の態様がある。

【 0 0 6 7 】

(1) 前記工程 (a) は、
前記下部電極に不純物を導入することにより、前記下部電極を第 1 の不純物濃度にする工程と、
前記他の下部電極に不純物を導入することにより、前記他の下部電極を第 1 の不純物濃度とは異なる第 2 の不純物濃度にする工程と、
を備える。

【 0 0 6 8 】

不純物濃度を変えることにより、容量値を制御することができる。よって、この態様によれば、容量素子の容量値と他の容量素子の容量値の組み合わせを、より多様化できる。なお、不純物を導入するとは、例えば、イオン注入や拡散を意味する。

【 0 0 6 9 】

(2) 前記第 1 酸化膜は、熱酸化により形成される。

【 0 0 7 0 】

(3) 前記第 2 酸化膜は、CVDにより形成される。

【 0 0 7 1 】

(4) 前記 C V D は、高温熱 C V D を含む。

【 0 0 7 2 】

(5) 前記第 3 酸化膜は、熱酸化により形成される。

【 0 0 7 3 】

(6) 前記窒化膜は、C V D により形成される。

【 0 0 7 4 】

(7) 前記第 4 酸化膜は、熱酸化により形成される。

【 0 0 7 5 】

(8) 前記第 4 酸化膜は、C V D により形成される。

【 0 0 7 6 】

(9) 前記工程 (f) は、

前記第 3 酸化膜上に、窒化膜を形成する工程と、

前記下部電極上にある前記第 3 酸化膜上の前記窒化膜上、および、

前記他の下部電極上にある前記第 3 酸化膜上の前記窒化膜上に、

それぞれ、マスク膜を形成する工程と、

前記マスク膜をマスクとして、前記窒化膜を異方性エッチングにより選択的に除去することにより、

前記フローティングゲートの側壁下部上にある前記第 3 酸化膜上、

前記下部電極上にある前記第 3 酸化膜上、および、

前記他の下部電極上にある前記第 3 酸化膜上に、

それぞれ、前記中間絶縁膜の構成要素、前記誘電体膜の構成要素および前記他の誘電体膜の構成要素となる前記窒化膜を残す工程と、
を備える。

【 0 0 7 7 】

これによれば、前記中間絶縁膜の構成要素、前記誘電体膜の構成要素および前記他の誘電体膜の構成要素となる前記窒化膜を同時に形成することができる。

【 0 0 7 8 】

(1 0) 前記工程 (a) は、

前記フローティングゲート上に選択酸化膜を形成する工程を備える。

【0079】

(11) 前記選択酸化膜を形成する工程は、
前記半導体基板上に、導電膜を形成する工程と、
前記フローティングゲートとなる前記導電膜上に、前記選択酸化膜を形成する工程と、 を備える。

【0080】

(12) 前記フローティングゲートのパターンニングは、前記選択酸化膜をマスクとする。

【0081】

(13) 前記工程 (a) は、
前記半導体基板上に、導電膜を形成する工程と、
前記導電膜をパターンニングすることにより、前記フローティングゲート、前記下部電極および前記他の下部電極を、同時に形成する工程と、
を備える。

【0082】

これによれば、半導体装置の製造工程の簡略を図ることができる。

【0083】

(14) 前記工程 (h) は、
前記半導体基板上に、他の導電膜を形成する工程と、
前記他の導電膜をパターンニングすることにより、前記コントロールゲート、前記上部電極および前記他の上部電極を、同時に形成する工程と
を備える。

【0084】

これによれば、半導体装置の製造工程の簡略を図ることができる。

【0085】

(15) 前記不揮発性メモリトランジスタは、スプリットゲート型を含む。

【0086】

[3] 本発明に係る半導体装置は、

不揮発性メモリトランジスタを備えた半導体装置であって、
容量素子を備え、

前記不揮発性メモリトランジスタおよび前記容量素子は、一つの半導体基板に
形成され、

前記容量素子は、下部電極、誘電体膜および上部電極を含み、

前記誘電体膜は、前記下部電極から前記上部電極へ向かって、順に、第 1 酸化
膜、第 2 酸化膜、窒化膜、第 3 酸化膜を有する構造である。

【 0 0 8 7 】

本発明に係る半導体装置によれば、前記不揮発性メモリトランジスタおよび上
記四層構造をした前記容量素子が、一つの半導体基板に形成された半導体装置を
提供することができきる。なお、前記誘電体膜は、上記四層構造でもよいし、さ
らに他の膜を加えてもよい。

【 0 0 8 8 】

本発明に係る半導体装置は、

不揮発性メモリトランジスタを備えた半導体装置であって、
容量素子を備え、

前記不揮発性メモリトランジスタおよび前記容量素子は、一つの半導体基板に
形成され、

前記容量素子は、下部電極、誘電体膜および上部電極を含み、

前記誘電体膜は、前記下部電極から前記上部電極へ向かって、順に、第 1 酸化
膜、第 2 酸化膜、窒化膜、第 3 酸化膜のみを有する構造である。

【 0 0 8 9 】

本発明に係る半導体装置によれば、前記不揮発性メモリトランジスタおよび上
記四層構造をした前記容量素子が、一つの半導体基板に形成された半導体装置を
提供することができきる。なお、前記誘電体膜は、上記四層のみで構成され、他
の膜は加わらない。

【 0 0 9 0 】

本発明に係る半導体装置には、以下の態様がある。

【 0 0 9 1 】

(1) 前記第 1 酸化膜は、熱酸化膜を含み、
前記第 2 酸化膜は、C V D 酸化膜を含み、
前記第 3 酸化膜は、熱酸化膜を含む。

【 0 0 9 2 】

(2) 前記第 2 酸化膜は、高温熱 C V D 酸化膜を含む。

【 0 0 9 3 】

これによれば、前記第 2 酸化膜は緻密な膜になるので、容量素子の耐圧を向上させることができる。

【 0 0 9 4 】

(3) 前記第 1 酸化膜は、シリコン上において、6 0 ～ 8 0 オングストロームの熱酸化膜が成長する方法で形成された厚みであり、

前記第 2 酸化膜の厚みは、1 0 0 ～ 2 0 0 オングストロームであり、

前記窒化膜の厚みは、5 0 ～ 5 0 0 オングストロームであり、

前記第 3 酸化膜は、シリコン上において、6 0 ～ 8 0 オングストロームの熱酸化膜が成長する方法で形成された厚みである。

【 0 0 9 5 】

(4) 前記不揮発性メモリトランジスタは、
フローティングゲートと、
コントロールゲートと、
前記フローティングゲートと前記コントロールゲートとの間に位置する中間絶縁膜と、

を含み、

前記中間絶縁膜は、前記フローティングゲートから前記コントロールゲートへ向かって、順に、第 1 酸化膜、第 2 酸化膜、第 3 酸化膜を有する構造である。

【 0 0 9 6 】

(5) 前記中間絶縁膜の前記第 1 酸化膜は、熱酸化膜を含み、
前記中間絶縁膜の前記第 2 酸化膜は、C V D 酸化膜を含み、
前記中間絶縁膜の前記第 3 酸化膜は、熱酸化膜を含む。

【 0 0 9 7 】

(6) 前記中間絶縁膜の前記第 2 酸化膜は、高温熱 C V D 酸化膜を含む、半導体装置。

【 0 0 9 8 】

これによれば、前記第 2 酸化膜は緻密な膜になるので、前記中間絶縁膜の耐圧を向上させることができる。

【 0 0 9 9 】

(7) 前記中間絶縁膜の前記第 1 酸化膜と、前記誘電体膜の前記第 1 酸化膜とは、同一工程で形成された膜であり、

前記中間絶縁膜の前記第 2 酸化膜と、前記誘電体膜の前記第 2 酸化膜とは、同一工程で形成された膜であり、

前記中間絶縁膜の前記第 3 酸化膜と、前記誘電体膜の前記第 3 酸化膜とは、同一工程で形成された膜である。

【 0 1 0 0 】

これによれば、半導体装置の製造工程を簡略にすることができる。

【 0 1 0 1 】

(8) 前記中間絶縁膜は、窒化膜を含み、

前記中間絶縁膜の前記窒化膜は、前記フローティングゲートの側壁下部であって、かつ前記中間絶縁膜の前記第 2 酸化膜と前記中間絶縁膜の前記第 3 酸化膜との間に位置している。

【 0 1 0 2 】

前記不揮発性メモリトランジスタの動作のため、コントロールゲートに電圧（例えば、負電圧）を印加したとき、前記フローティングゲートの側壁下部に電界が集中することがある。これによれば、前記中間絶縁膜の耐圧を向上させることができる。

【 0 1 0 3 】

(9) 前記中間絶縁膜の前記窒化膜と、前記誘電体膜の前記窒化膜とは、同一工程で形成された膜である。

【 0 1 0 4 】

これによれば、半導体装置の製造工程を簡略にすることができる。

【0105】

(10) 前記コントロールゲートおよび前記上部電極は、ポリシリコンからなる電極である。

【0106】

(11) 前記コントロールゲートおよび前記上部電極は、ポリサイドからなる電極である。

【0107】

これによれば、前記コントロールゲートおよび前記上部電極を低抵抗にできるので、半導体装置の高速化を図れる。

【0108】

(12) 前記コントロールゲートおよび前記上部電極は、金属からなる電極である。

【0109】

これによれば、前記コントロールゲートおよび前記上部電極を低抵抗にできるので、半導体装置の高速化を図れる。

【0110】

(13) 前記コントロールゲートおよび前記上部電極は、サリサイドからなる電極である。

【0111】

これによれば、前記コントロールゲートおよび前記上部電極を低抵抗にできるので、半導体装置の高速化を図れる。

【0112】

(14) 前記フローティングゲートと、前記下部電極とは、同一工程で形成された膜であり、

前記コントロールゲートと、前記上部電極とは、同一工程で形成された膜である。

【0113】

これによれば、半導体装置の製造工程を簡略にすることができる。

【0114】

(15) 前記容量素子は、アナログ回路の構成要素である。

【0115】

(16) 前記不揮発性メモリトランジスタは、スプリットゲート型を含む。

【0116】

[4] 本発明に係る半導体装置の製造方法は、

不揮発性メモリトランジスタおよび容量素子が、一つの半導体基板に形成されており、

前記不揮発性メモリトランジスタは、フローティングゲート、中間絶縁膜およびコントロールゲートを含み、

前記容量素子は、下部電極、誘電体膜および上部電極を含む、構造の半導体装置の製造方法であって、

(a) 前記半導体基板上に、前記フローティングゲートおよび前記下部電極を形成する工程と、

(b) 前記フローティングゲート上および前記下部電極上に、第1酸化膜を形成する工程と、

(c) 前記第1酸化膜上に、第2酸化膜を形成する工程と、

(d) 前記下部電極上にある前記第2酸化膜上に、前記誘電体膜の構成要素となる窒化膜を形成する工程と、

(e) 前記フローティングゲートの側壁上にある前記第2酸化膜上、および、前記下部電極上にある前記窒化膜上に、

それぞれ、前記中間絶縁膜の構成要素および前記誘電体膜の構成要素となる第3酸化膜を形成する工程と、

(f) 前記工程(e)後、前記半導体基板上に、前記コントロールゲートおよび前記上部電極を形成する工程と、

を備える。

【0117】

本発明に係る半導体装置の製造方法によれば、不揮発性メモリトランジスタと、四層構造のONO膜である誘電体膜を有する容量素子とを、一つの半導体基板に形成することができる。

【 0 1 1 8 】

本発明に係る半導体装置の製造方法には、以下の態様がある。

【 0 1 1 9 】

(1) 前記工程 (a) は、

前記下部電極に不純物を導入することにより、前記下部電極を所定の不純物濃度にする工程を備える。

【 0 1 2 0 】

下部電極の不純物濃度を変えることにより、容量素子の容量値を制御することができる。

【 0 1 2 1 】

(2) 前記第 1 酸化膜は、熱酸化により形成される。

【 0 1 2 2 】

(3) 前記第 2 酸化膜は、CVDにより形成される。

【 0 1 2 3 】

(4) 前記CVDは、高温熱CVDにより形成される。

【 0 1 2 4 】

これによれば、前記第 2 酸化膜は緻密な膜になるので、容量素子の耐圧を向上させることができる。

【 0 1 2 5 】

(5) 前記窒化膜は、CVDにより形成される。

【 0 1 2 6 】

(6) 前記第 3 酸化膜は、熱酸化により形成される。

【 0 1 2 7 】

(7) 前記工程 (d) は、

前記第 2 酸化膜上に、窒化膜を形成する工程と、

前記下部電極上にある前記第 2 酸化膜上の前記窒化膜上に、マスク膜を形成する工程と、

前記マスク膜をマスクとして、前記窒化膜を異方性エッチングにより選択的に除去することにより、

前記フローティングゲートの側壁下部上にある前記第 2 酸化膜上、および、
前記下部電極上にある前記第 2 酸化膜上に、
それぞれ、前記中間絶縁膜の構成要素および前記誘電体膜の構成要素となる前
記窒化膜を残す工程と、
を備える。

【 0 1 2 8 】

これによれば、前記中間絶縁膜の構成要素および前記誘電体膜の構成要素とな
る前記窒化膜を同時に形成することができる。

【 0 1 2 9 】

(8) 前記工程 (a) は、
前記フローティングゲート上に選択酸化膜を形成する工程を備える。

【 0 1 3 0 】

(9) 前記選択酸化膜を形成する工程は、
前記半導体基板上に、導電膜を形成する工程と、
前記フローティングゲートとなる前記導電膜上に、前記選択酸化膜を形成する
工程と、 を備える。

【 0 1 3 1 】

(1 0) 前記フローティングゲートのパターンニングは、前記選択酸化膜を
マスクとする。

【 0 1 3 2 】

(1 1) 前記工程 (a) は、
前記半導体基板上に、導電膜を形成する工程と、
前記導電膜をパターンニングすることにより、前記フローティングゲートおよ
び前記下部電極を、同時に形成する工程と、
を備える。

【 0 1 3 3 】

これによれば、半導体装置の製造工程の簡略を図ることができる。

【 0 1 3 4 】

(1 2) 前記工程 (f) は、

前記半導体基板上に、他の導電膜を形成する工程と、
前記他の導電膜をパターンニングすることにより、前記コントロールゲートおよび前記上部電極を、同時に形成する工程と
を備える。

【 0 1 3 5 】

これによれば、半導体装置の製造工程の簡略を図ることができる。

【 0 1 3 6 】

(1 3) 前記不揮発性メモリトランジスタは、スプリットゲート型を含む。

【 0 1 3 7 】

【発明の実施の形態】

〔第 1 実施形態〕

以下、図面を参照して本発明の第 1 実施形態にかかる半導体装置およびその製造方法について説明する。図 1 0 は、第 1 実施形態にかかる半導体装置の断面図である。第 1 実施形態にかかる半導体装置は、スプリットゲート (Split Gate) 型メモリトランジスタ 5 1 と 2 つの容量素子 5 3、5 5 を同一チップ (半導体基板) 内に形成したものである。図 1 ～図 9 は、第 1 実施形態にかかる半導体装置の製造方法を示す断面図である。

【 0 1 3 8 】

まず、図 1 に示すように、シリコン基板 1 の表面を 8 5 0 ℃前後の温度でウェット酸化することにより、前記シリコン基板 1 上に、ゲート絶縁膜の一例であるゲート酸化膜 3 を形成する。次に、このゲート酸化膜 3 上に減圧 C V D (Chemical Vapor Deposition) 法により厚さ 1 2 0 0 ～ 1 5 0 0 オングストローム程度の多結晶シリコン膜 5 を堆積させる。前記多結晶シリコン膜 5 を 1 2 0 0 オングストローム以上とするのは次のような理由による。後述する選択酸化膜 1 1 の形成は前記多結晶シリコン膜 5 を酸化することにより行われるために、前記多結晶シリコン膜 5 の膜厚が 1 2 0 0 オングストロームより薄くなると後述するフローティングゲート 1 7 の膜厚を所望する値に形成できないためである。また、前記多結晶シリコン膜 5 を 1 5 0 0 オングストローム以下とするのは次の理由による。後述する熱酸化工程によってフローティングゲート 1 7 の側壁部へ形成するシ

リコン酸化膜 2 5 の付きまわりが悪くなり、シリコン酸化膜 2 5 の膜厚が薄くなる。それ故、コントロールゲートとフローティングゲート間のシリコン酸化膜の耐圧が劣化する。よって前記多結晶シリコン膜 5 を 1 5 0 0 オングストローム以下にすることが好ましいのである。

【 0 1 3 9 】

次にこの多結晶シリコン膜 5 上にシリコン窒化膜からなる厚さ 8 0 0 ~ 1 0 0 0 オングストローム程度の酸化防止膜 7 を堆積する。この後、この酸化防止膜 7 上にフォトレジスト膜 9 を塗布し、このフォトレジスト膜 9 を露光、現像する。これにより、フローティングゲート形成予定領域上に開口部を形成する。次に、フォトレジスト膜 9 をマスクとして開口部から露出した酸化防止膜 7 をドライエッチングすることにより、前記酸化防止膜 7 に開口部を形成する。次に、フォトレジスト膜 9 を除去する。

【 0 1 4 0 】

この後、図 2 に示すように、酸化防止膜 7 をマスクとして開口部から露出した多結晶シリコン膜 5 を選択的に酸化することにより、前記多結晶シリコン膜 5 に選択酸化膜 1 1 を形成する。

【 0 1 4 1 】

次に、図 3 に示すように、酸化防止膜 7 を熱リン酸により除去した後、選択酸化膜 1 1 及び多結晶シリコン膜 5 の上にフォトレジスト膜 1 3 を塗布し、このフォトレジスト膜 1 3 を露光、現像する。これにより、容量素子 5 3、5 5 を形成する領域上に開口部を形成する。次に、フォトレジスト膜 1 3 をマスクとして多結晶シリコン膜 5 に第 1 のドーズ量（例えばドーズ量 $5 \times 10^{15} / \text{cm}^2$ ）で不純物をイオン注入する。不純物 1 0 としては例えばリンをイオン注入する。これにより、容量素子 5 3、5 5 を形成する領域の多結晶シリコン膜 5 に不純物 1 0 が導入される。

【 0 1 4 2 】

次に、図 4 に示すように、上記フォトレジスト膜 1 3 を除去した後、全面上にフォトレジスト膜 1 5 を塗布し、このフォトレジスト膜 1 5 を露光、現像する。これにより、容量素子を形成する領域上にレジストパターン 1 5 が形成される。

この後、このレジストパターン 1 5 及び選択酸化膜 1 1 をマスクとして多結晶シリコン膜 5 を垂直方向に異方性エッチングする。これにより、選択酸化膜 1 1 の下にフローティングゲート 1 7 が形成され、フォトレジスト膜 1 5 の下に第 1 及び第 2 の容量素子それぞれの下部電極 1 9, 2 1 が形成される。下部電極 1 9 の上面の面積は、下部電極 2 1 の上面の面積と同じである。

【 0 1 4 3 】

この後、図 5 に示すように、上記フォトレジスト膜 1 5 を除去した後、容量素子の下部電極 1 9, 2 1 の表面上及びフローティングゲート 1 7 の側面上に、例えば、熱酸化により厚さ 6 0 ~ 8 0 オングストローム程度のシリコン酸化膜 2 5 を形成する。このときゲート酸化膜 3 上および厚い選択酸化膜 1 1 上には、ほとんど酸化膜は成長しない。なお、ここでいう 6 0 ~ 8 0 オングストローム程度とは、シリコン上において、6 0 ~ 8 0 オングストローム程度の熱酸化膜が成長する方法で形成される場合を意味する。以下、熱酸化法で形成される場合の厚みの意味は、これと同じである。

【 0 1 4 4 】

次に、このシリコン酸化膜 2 5 及び選択酸化膜 1 1 を含む全面上に厚さ 1 5 0 オングストローム程度のシリコン酸化膜 3 7 を、例えば、高温熱 C V D 法により 7 5 0 ° C ~ 8 5 0 ° C の条件で堆積する。シリコン酸化膜 3 7 は、高温熱 C V D 法で形成されるので緻密な膜となる。これにより、スプリットゲート型メモリトランジスタ 5 1 の中間絶縁膜の耐圧を向上させることができる。

【 0 1 4 5 】

次に、図 6 に示すように、全面上にフォトレジスト膜 3 9 を塗布し、このフォトレジスト膜 3 9 を露光、現像する。これにより、容量素子 5 3 を形成する領域上に開口部を形成する。その後、露出したシリコン酸化膜 3 7 及びその下のシリコン酸化膜 2 5 をウエットエッチングにより除去する。これにより、下部電極 1 9 の一部が露出する。

【 0 1 4 6 】

この後、図 7 に示すように、上記フォトレジスト膜 3 9 を除去した後、下部電極 1 9 及びシリコン酸化膜 3 7 の表面上に、例えば、熱酸化により厚さ 1 0 0 オ

ングストローム程度のシリコン酸化膜 4 1 を形成する。ここでも、シリコン酸化膜 3 7 上にはほとんど酸化膜は成長しない。よって、シリコン酸化膜 3 7 上におけるシリコン酸化膜 4 1 の厚みは、下部電極 1 9 上におけるシリコン酸化膜 4 1 の厚みに比べて、小さくなる。次に、このシリコン酸化膜 4 1 上に、例えば、CVD 法により、厚さ 1 5 0 オングストローム程度のシリコン窒化膜 4 3 を、堆積する。

【 0 1 4 7 】

この後、図 8 に示すように、このシリコン窒化膜 4 3 上にフォトレジスト膜 4 5 を塗布し、このフォトレジスト膜 4 5 を露光、現像する。これにより、容量素子の下部電極 1 9 , 2 1 上にレジストパターン 4 5 が形成される。

【 0 1 4 8 】

次に、図 9 に示すように、このレジストパターン 4 5 をマスクとしてシリコン窒化膜 4 3 を垂直方向に異方性エッチングする。これにより、フローティングゲート 1 7 の側壁下部に側部絶縁膜 4 3 a が形成され、下部電極 1 9 , 2 1 上にシリコン窒化膜 4 3 b が形成される。

【 0 1 4 9 】

この後、図 1 0 に示すように、シリコン窒化膜の側部絶縁膜 4 3 a 、シリコン窒化膜 4 3 b 及びシリコン酸化膜 4 1 を含む全面上に、例えば、CVD 法により厚さ 1 0 0 オングストローム程度のシリコン酸化膜 4 7 を堆積する。

【 0 1 5 0 】

このシリコン酸化膜 4 7 の上に減圧 CVD 法により多結晶シリコン膜を堆積させ、 POCl_3 雰囲気により前記多結晶シリコン膜にリンイオンを拡散させた後に、多結晶シリコン膜をパターニングする。

【 0 1 5 1 】

これにより、多結晶シリコン膜を選択酸化膜 1 1 の上からフローティングゲート 1 7 の一側部とシリコン基板 1 上にかけて残存させる。この残存した多結晶シリコン膜がコントロールゲート 3 3 となる。また、下部電極 1 9 上にシリコン酸化膜 4 1 , シリコン窒化膜 4 3 b , 及びシリコン酸化膜 4 7 を介して多結晶シリコン膜を残存させる。この残存した多結晶シリコン膜が容量素子 5 3 の上部電極

36となる。また、下部電極21上にシリコン酸化膜25、シリコン酸化膜37、シリコン酸化膜41、シリコン窒化膜43b、及びシリコン酸化膜47を介して多結晶シリコン膜を残存させる。この残存した多結晶シリコン膜が容量素子55の上部電極35となる。

【0152】

この後、コントロールゲート33とフローティングゲート17との両側のシリコン基板1に不純物を導入することにより、前記シリコン基板1にソース、ドレイン領域の拡散層（図示せず）を形成する。

【0153】

ここで、第1実施形態の主な効果を説明する。

【0154】

図10に示すように、第1実施形態によれば、同一シリコン基板1上にスプリットゲート型メモリトランジスタ51及び容量素子53、55を容易に混載することができる。これにより、別々のチップに形成していた従来のものに比べてチップ数を少なくすることができ、その結果、製品コストを低減できる。

【0155】

また、第1実施形態において、容量素子53は下部電極19、誘電体膜としてのONO膜（シリコン酸化膜41、シリコン窒化膜43b、シリコン酸化膜47）及び上部電極36から構成される。容量素子55は下部電極21、誘電体膜としてのONO膜（シリコン酸化膜25、シリコン酸化膜37、シリコン酸化膜41、シリコン窒化膜43b、シリコン酸化膜47）及び上部電極35から構成される。このように、容量素子55の誘電体膜は、容量素子53の誘電体膜とは異なる構成要素を含む。言い換えれば、容量素子55の誘電体膜の膜厚は、容量素子53の誘電体膜の膜厚と異なる。よって、第1実施形態によれば、容量素子53および容量素子55の容量値を、それぞれ、所望の値にすることができる。

【0156】

なお、容量素子55の誘電体膜が容量素子53の誘電体膜とは異なる構成要素を含むようにできるのは、図6に示す工程で、容量素子53を形成する領域にあるシリコン酸化膜のみ除去する工程を設けているからである。

【 0 1 5 7 】

また、第 1 実施形態において、誘電体膜が ONO 膜となる容量素子 5 3、5 5 を作ることができるのは、図 9 に示す工程で、フローティングゲート 1 7 の側壁下部にシリコン窒化膜からなる側部絶縁膜 4 3 a を形成すると同時に下部電極 1 9、2 1 上にシリコン酸化膜 4 1 を介してシリコン窒化膜 4 3 b を形成するからである。

【 0 1 5 8 】

〔第 2 実施形態〕

図 1 2 は、第 2 実施形態にかかる半導体装置の断面図である。第 2 実施形態にかかる半導体装置は、第 1 実施形態と同様に、スプリットゲート型メモリトランジスタ 5 1 と、2 つの容量素子 5 3、5 5 を同一チップ（半導体基板）内に形成したものである。第 1 実施形態と同等の機能を有する部分には、同一符号を付している。第 2 実施形態については、第 1 実施形態と相違する点を説明する。

【 0 1 5 9 】

第 2 実施形態は、CVD で形成されたシリコン酸化膜 4 7（図 1 0 参照）の代わりに、図 1 2 に示すように、熱酸化で形成されたシリコン酸化膜 5 7 を備えている。

【 0 1 6 0 】

第 2 実施形態は、シリコン窒化膜の側部絶縁膜 4 3 a、シリコン窒化膜 4 3 b の形成工程まで、第 1 実施形態と同じ方法を用いることができる。側部絶縁膜 4 3 a、シリコン窒化膜 4 3 b 形成後、図 1 1 に示すように、側部絶縁膜 4 3 a、シリコン窒化膜 4 3 b 及びシリコン酸化膜 4 1 を含む全面上に、熱酸化により、厚さ 6 0 ～ 8 0 オングストローム程度のシリコン酸化膜 5 7 を堆積する。そして、第 1 実施形態と同じ方法を用いて、コントロールゲート 3 3、上部電極 3 5、3 6 を形成する。

【 0 1 6 1 】

第 2 実施形態によれば、電界効果トランジスタを含む回路（例えば、SRAM）が、シリコン基板 1 に混載されている場合、シリコン酸化膜 5 7 形成時に、電界効果トランジスタのゲート酸化膜を形成することができる。

【 0 1 6 2 】

〔第 3 実施形態〕

図 1 3 は、第 3 実施形態にかかる半導体装置の断面図である。第 3 実施形態にかかる半導体装置は、第 1、2 実施形態と同様に、スプリットゲート型メモリトランジスタ 5 1 と、2 つの容量素子 5 3、5 5 を同一チップ（半導体基板）内に形成したものである。第 1、2 実施形態と同等の機能を有する部分には、同一符号を付している。第 3 実施形態については、第 1、2 実施形態と相違する点を説明する。

【 0 1 6 3 】

第 3 実施形態において、上部電極 3 5 が誘電体膜と面する面積と、上部電極 3 6 が誘電体膜と面する面積は、同じになる。容量素子 5 3 と容量素子 5 5 は誘電体膜の構成要素が異なる（膜厚が異なる）。よって、第 3 実施形態によれば、容量素子 5 3 と容量素子 5 5 の容量値は異なる。

【 0 1 6 4 】

これに対して、図 1 0 に示す第 1 実施形態および図 1 2 に示す第 2 実施形態において、上部電極 3 5 が誘電体膜と面する面積と、上部電極 3 6 が誘電体膜と面する面積は、異なる。よって、単位面積あたりの容量値が異なる容量素子 5 3、5 5 になる。これによる効果は、以下のとおりである。半導体装置の設計は、前世代の技術を用いることがある。前世代の技術において、例えば、容量素子 A の上部電極が誘電体膜と面する面積と、容量素子 B の上部電極が誘電体膜と面する面積とが異なり、かつ容量素子 A の容量値と容量素子 B の容量値とが異なっていたとする。第 1 および第 2 実施形態によれば、上部電極が誘電体膜と面する面積が異なったままの設計技術を用いながら、容量素子 A、B の容量値を同じにできる。

【 0 1 6 5 】

〔第 4 実施形態〕

図 2 2 は、第 4 実施形態にかかる半導体装置の断面図である。第 1 ～ 第 3 実施形態と同等の機能を有する部分には、同一符号を付している。第 4 実施形態にかかる半導体装置は、スプリットゲート型メモリトランジスタ 5 1 と、容量素子 5

5を同一チップ（半導体基板）内に形成したものである。図14～図21は、第4実施形態にかかる半導体装置の製造方法を示す断面図である。

【0166】

まず、図14に示す工程を行う。この工程は図1に示す工程と同様である。次に、図15に示す工程を行う。この工程は図2に示す工程と同様である。そして、図16に示す工程を行う。この工程は図3に示す工程と同様である。次に、図17に示す工程を行う。この工程は図4に示す工程と同様である。但し、下部電極19のパターンニングはされない。

【0167】

この後、図18示すように、上記フォトリソ膜15を除去した後、容量素子の下部電極21の表面上及びフローティングゲート17の側面上に、例えば、熱酸化により厚さ60～80オングストローム程度のシリコン酸化膜25を形成する。このときゲート酸化膜3上および厚い選択酸化膜11上には、ほとんど酸化膜は成長しない。

【0168】

そして、シリコン酸化膜25及び選択酸化膜11を含む全面上に厚さ100～200オングストローム程度のシリコン酸化膜37を、例えば、高温熱CVD法により750℃～850℃の条件で堆積する。

【0169】

図19に示すように、シリコン酸化膜37上に、例えば、CVD法により、厚さ50～500オングストローム程度のシリコン窒化膜43を、堆積する。

【0170】

図20に示すように、シリコン窒化膜43上にフォトリソ膜を塗布し、フォトリソ膜を露光、現像する。これにより、下部電極21上にレジストパターン45が形成される。

【0171】

図21に示すように、レジストパターン45をマスクとしてシリコン窒化膜43を垂直方向に異方性エッチングする。これにより、フローティングゲート17の側壁下部に側部絶縁膜43aが形成され、下部電極21上にシリコン窒化膜4

3 b が形成される。

【 0 1 7 2 】

図 2 2 に示すように、シリコン窒化膜の側部絶縁膜 4 3 a、シリコン窒化膜 4 3 b 及びシリコン酸化膜 3 7 を含む全面上に、例えば、熱酸化法により厚さ 6 0 ～ 8 0 オングストローム程度のシリコン酸化膜 5 7 を堆積する。

【 0 1 7 3 】

そして、第 1 実施形態と同様の方法を用いて、コントロールゲート 3 3 および容量素子の上部電極 3 5 を形成する。この後、コントロールゲート 3 3 とフローティングゲート 1 7 との両側のシリコン基板 1 に不純物を導入することにより、前記シリコン基板 1 にソース、ドレイン領域の拡散層（図示せず）を形成する。

【 0 1 7 4 】

ここで、第 4 実施形態の主な効果を説明する。図 2 2 に示すように、第 4 実施形態において、容量素子 5 5 は下部電極 2 1、誘電体膜としての ONO 膜（シリコン酸化膜 2 5、シリコン酸化膜 3 7、シリコン窒化膜 4 3 b、シリコン酸化膜 5 7）及び上部電極 3 5 から構成される。このように、第 4 実施形態によれば、同一シリコン基板 1 上に Split Gate 型 Flash Cell 及び容量素子を容易に混載することができる。これにより、別々のチップに形成していた従来のものに比べてチップ数を少なくすることができ、その結果、製品コストを低減できる。

【 0 1 7 5 】

なお、第 1 ～ 第 4 実施形態において、下部電極の不純物濃度を変えることにより、容量値を制御することができる。これを説明するために、サンプル A の容量素子と、サンプル B の容量素子を準備した。

【 0 1 7 6 】

{ サンプル A }

サンプル A は、以下のようにして形成された容量素子である。

【 0 1 7 7 】

(1) 厚さ 1 2 0 0 オングストロームの多結晶シリコン膜からなる下部電極を形成した。下部電極の上面は、一辺の長さが 3 2 0 0 オングストロームの正方形である。

【0178】

(2) この下部電極に、35 KeVの加速電圧で、リンをイオン注入した。

【0179】

(3) イオン注入後、この下部電極を750℃で熱酸化することにより、この下部電極上に熱シリコン酸化膜を形成した。

【0180】

(4) この熱シリコン酸化膜上に、厚さ150オングストロームのシリコン窒化膜を形成した。

【0181】

(5) このシリコン窒化膜を750℃で熱酸化することにより、このシリコン窒化膜上に熱シリコン酸化膜を形成した。

【0182】

(6) この熱シリコン酸化膜上に厚さ2500オングストロームの多結晶シリコン膜からなる上部電極を形成した。

【0183】

なお、工程(2)において、不純物の注入量(ドーズ量)を、 $4.5 \times 10^{15} / \text{cm}^2$ の場合、 $6 \times 10^{15} / \text{cm}^2$ の場合、 $8 \times 10^{15} / \text{cm}^2$ の場合、の三つに分けた。

【0184】

{サンプルB}

サンプルBは、以下のようにして形成された容量素子である。

【0185】

(1) 厚さ1700オングストロームの多結晶シリコン膜からなる下部電極を形成した。下部電極の上面は、一辺の長さが3200オングストロームの正方形である。

【0186】

(2) この下部電極に、35 KeVの加速電圧で、リンをイオン注入した。

【0 1 8 7】

(3) イオン注入後、この下部電極を 1 0 0 0℃で熱酸化することにより、この下部電極上に熱シリコン酸化膜を形成した。

【0 1 8 8】

(4) この熱シリコン酸化膜上に、厚さ 1 5 0 オングストロームのシリコン窒化膜を形成した。

【0 1 8 9】

(5) このシリコン窒化膜を 7 5 0℃で熱酸化することにより、このシリコン窒化膜上に熱シリコン酸化膜を形成した。

【0 1 9 0】

(6) この熱シリコン酸化膜上に厚さ 2 5 0 0 オングストロームの多結晶シリコン膜からなる上部電極を形成した。

【0 1 9 1】

なお、工程 (2) において、不純物の注入量 (ドーズ量) を、 $4.5 \times 10^{15} / \text{cm}^2$ の場合、 $6 \times 10^{15} / \text{cm}^2$ の場合、 $8 \times 10^{15} / \text{cm}^2$ の場合、の三つに分けた。

【0 1 9 2】

図 2 3 は、下部電極に導入される不純物の注入量 (ドーズ量) と、容量値との関係を示すグラフである。サンプル A、B とともに、下部電極に導入される不純物の注入量が多くなる (つまり、下部電極中の不純物濃度を高くする) と、容量値が小さくなる。また、サンプル A、B とともに、下部電極に導入される不純物の注入量が少なくなる (つまり、下部電極中の不純物濃度が低くなる) と、容量値が大きくなる。以上より、下部電極の不純物濃度を変えることにより、容量値を制御することができることが分かる。よって、これを第 1 ～ 第 4 実施形態に適用すると、容量素子の容量値は、より多様な値をとりうる。

【0 1 9 3】

また、第 1 ～ 第 4 実施形態において、コントロールゲート 3 3、上部電極 3 5、3 6 を多結晶シリコン膜により形成しているが、コントロールゲート 3 3、上部電極 3 5、3 6 をチタンシリサイド、タングステンシリサイド、コバルトシリ

サイドなどのシリサイドと多結晶シリコンの2層構造からなるポリサイド膜により形成することも可能である。また、コントロールゲート33、上部電極35、36を、例えば、タングステンやアルミニウムのような金属で構成してもよい。コントロールゲート33、上部電極35、36を、シリサイドで構成してもよい。これらによりコントロールゲート33、上部電極35、36の抵抗値を低くすることができ、高速化を実現することが可能となる。

【0194】

また、図24は、第1～第4実施形態の半導体装置が適用された、エンベディド半導体装置7000のレイアウトを示す模式図である。この例では、エンベディド半導体装置7000は、フラッシュメモリ90と、SRAMメモリ92と、RISC94と、アナログ回路96とがSOG (Sea Of Gate) に混載されている。第1～第4実施形態のスプリットゲート型メモリトランジスタ51は、フラッシュメモリ90の構成要素である。第1～第4実施形態の容量素子53、55は、アナログ回路96の構成要素である。

【図面の簡単な説明】

【図1】

第1実施形態における半導体装置の製造方法の第1工程を示すシリコン基板の断面図である。

【図2】

第1実施形態における半導体装置の製造方法の第2工程を示すシリコン基板の断面図である。

【図3】

第1実施形態における半導体装置の製造方法の第3工程を示すシリコン基板の断面図である。

【図4】

第1実施形態における半導体装置の製造方法の第4工程を示すシリコン基板の断面図である。

【図5】

第1実施形態における半導体装置の製造方法の第5工程を示すシリコン基板の

断面図である。

【図 6】

第 1 実施形態における半導体装置の製造方法の第 6 工程を示すシリコン基板の断面図である。

【図 7】

第 1 実施形態における半導体装置の製造方法の第 7 工程を示すシリコン基板の断面図である。

【図 8】

第 1 実施形態における半導体装置の製造方法の第 8 工程を示すシリコン基板の断面図である。

【図 9】

第 1 実施形態における半導体装置の製造方法の第 9 工程を示すシリコン基板の断面図である。

【図 1 0】

第 1 実施形態における半導体装置の断面図である。

【図 1 1】

第 2 実施形態における半導体装置の製造方法の工程を示すシリコン基板の断面図である。

【図 1 2】

第 2 実施形態における半導体装置の断面図である。

【図 1 3】

第 3 実施形態における半導体装置の断面図である。

【図 1 4】

第 4 実施形態における半導体装置の製造方法の第 1 工程を示すシリコン基板の断面図である。

【図 1 5】

第 4 実施形態における半導体装置の製造方法の第 2 工程を示すシリコン基板の断面図である。

【図 1 6】

第 4 実施形態における半導体装置の製造方法の第 3 工程を示すシリコン基板の断面図である。

【図 1 7】

第 4 実施形態における半導体装置の製造方法の第 4 工程を示すシリコン基板の断面図である。

【図 1 8】

第 4 実施形態における半導体装置の製造方法の第 5 工程を示すシリコン基板の断面図である。

【図 1 9】

第 4 実施形態における半導体装置の製造方法の第 6 工程を示すシリコン基板の断面図である。

【図 2 0】

第 4 実施形態における半導体装置の製造方法の第 7 工程を示すシリコン基板の断面図である。

【図 2 1】

第 4 実施形態における半導体装置の製造方法の第 8 工程を示すシリコン基板の断面図である。

【図 2 2】

第 4 実施形態における半導体装置の断面図である。

【図 2 3】

下部電極に導入される不純物の注入量と、容量値との関係を示すグラフである。

【図 2 4】

第 1 ～ 第 4 実施形態の半導体装置が適用された、エンベディド半導体装置 7 0 0 0 のレイアウトを示す模式図である。

【符号の説明】

- 1 シリコン基板
- 3 ゲート酸化膜
- 5 多結晶シリコン膜

- 7 酸化防止膜
- 9 フォトレジスト膜
- 1 0 不純物
- 1 1 選択酸化膜
- 1 3 フォトレジスト膜
- 1 5 フォトレジスト膜
- 1 7 フローティングゲート
- 1 9 下部電極
- 2 1 下部電極
- 2 3 フォトレジスト膜
- 2 5 シリコン酸化膜
- 2 9 シリコン窒化膜
- 2 9 a 側部絶縁膜
- 2 9 b シリコン窒化膜
- 3 0 フォトレジスト膜
- 3 1 シリコン酸化膜
- 3 3 コントロールゲート
- 3 5 上部電極
- 3 6 上部電極
- 3 7 シリコン酸化膜
- 3 9 フォトレジスト膜
- 4 1 シリコン酸化膜
- 4 3 シリコン窒化膜
- 4 3 a 側部絶縁膜
- 4 3 b シリコン窒化膜
- 4 5 フォトレジスト膜
- 4 7 シリコン酸化膜
- 5 1 スプリットゲート型メモリトランジスタ
- 5 3 容量素子

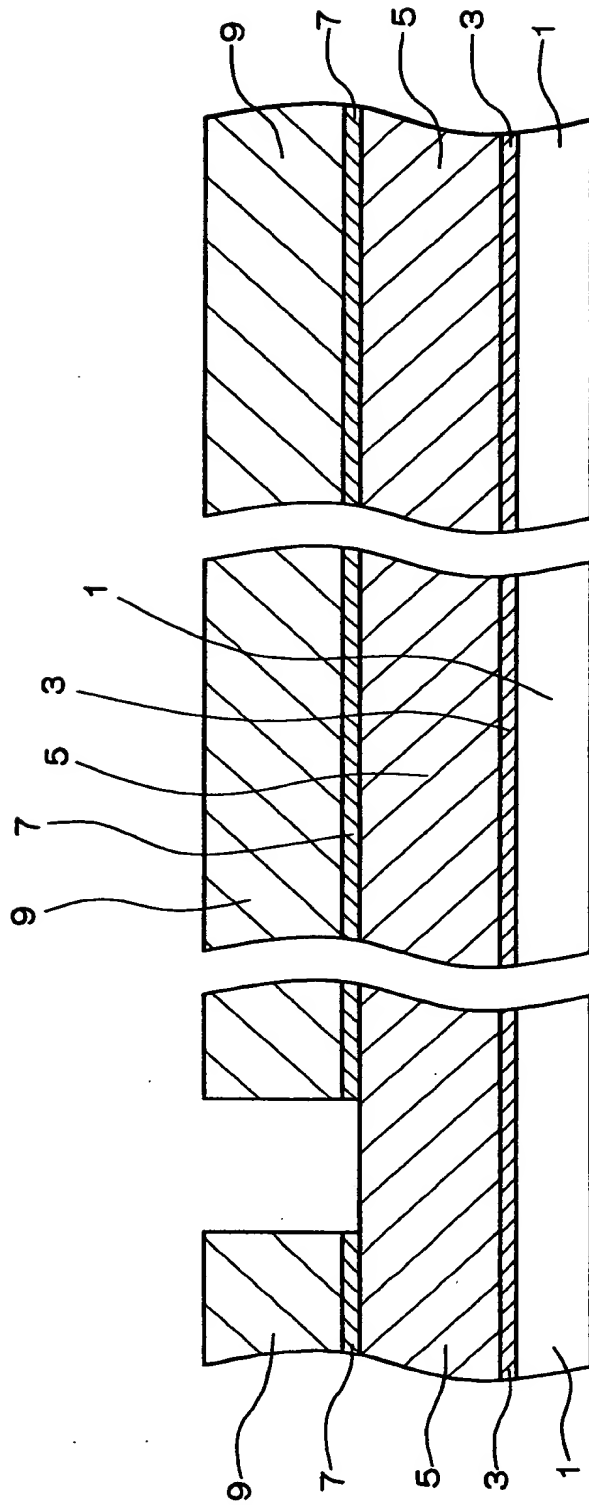
5 5 容量素子

5 7 シリコン酸化膜

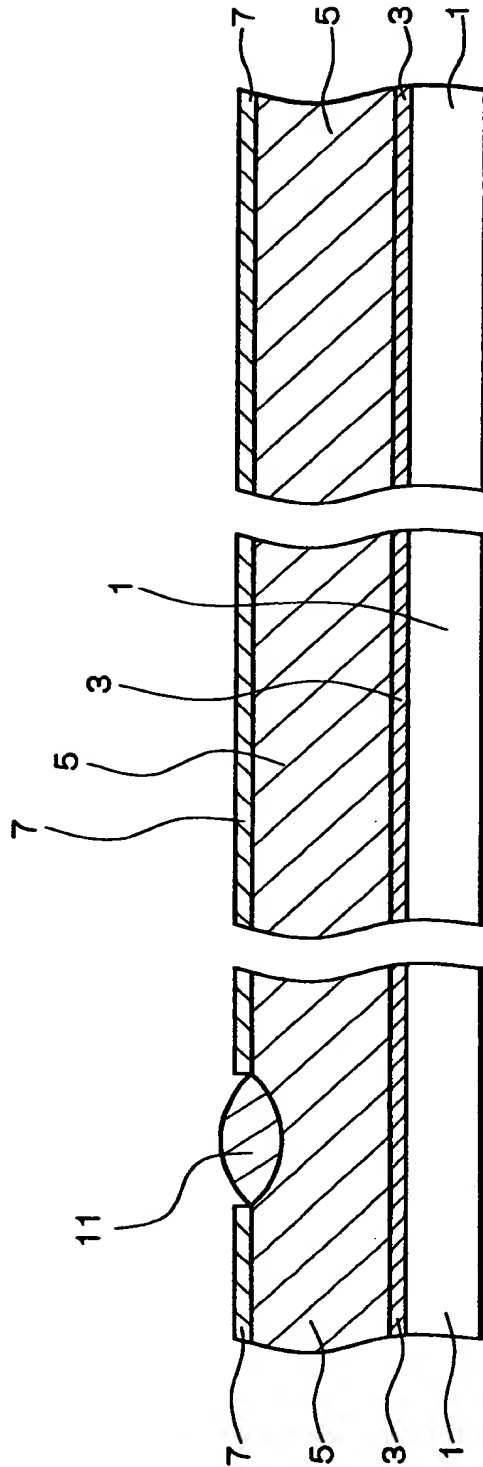
【書類名】

図面

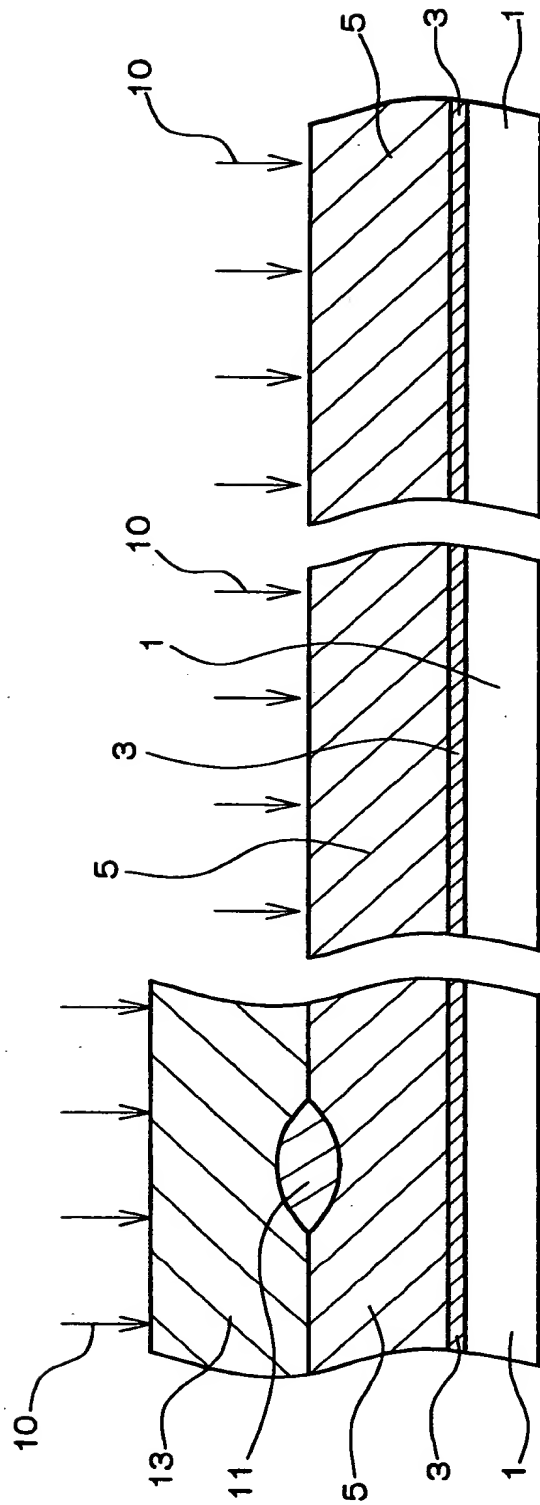
【図1】



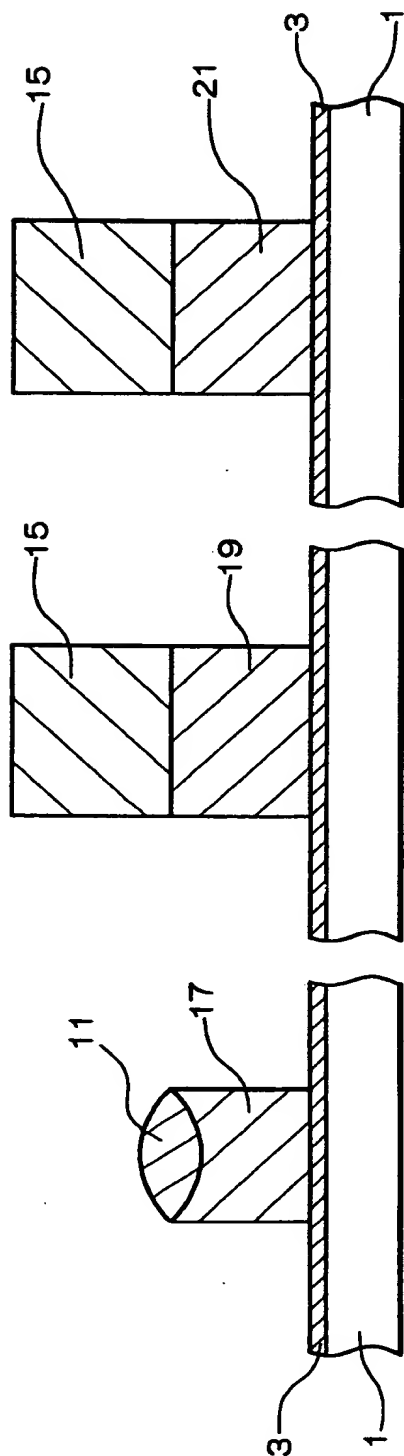
【図 2】



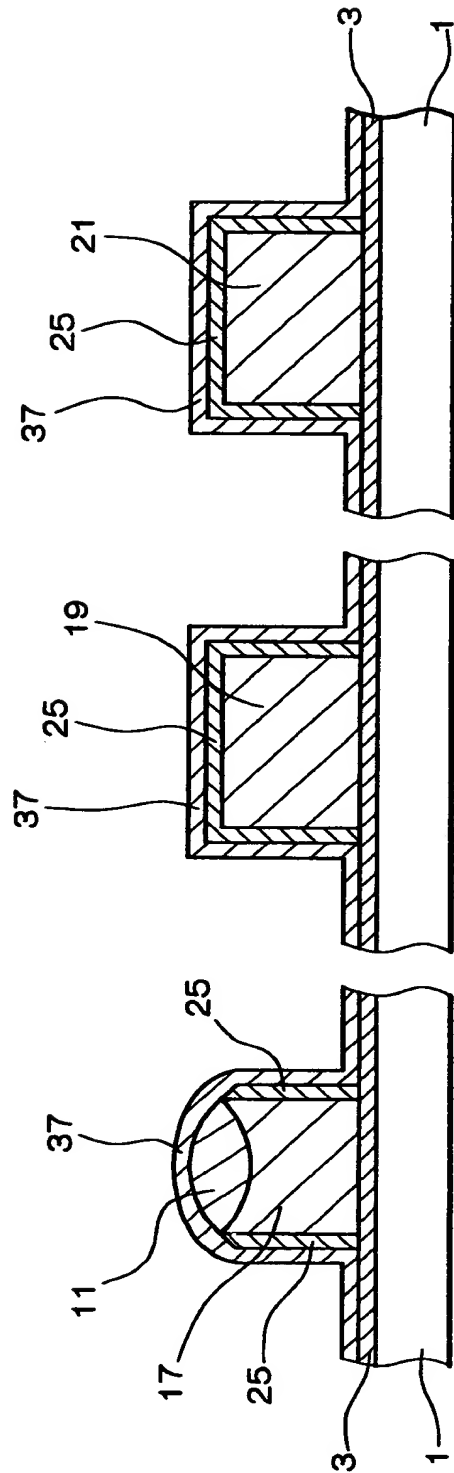
【図3】



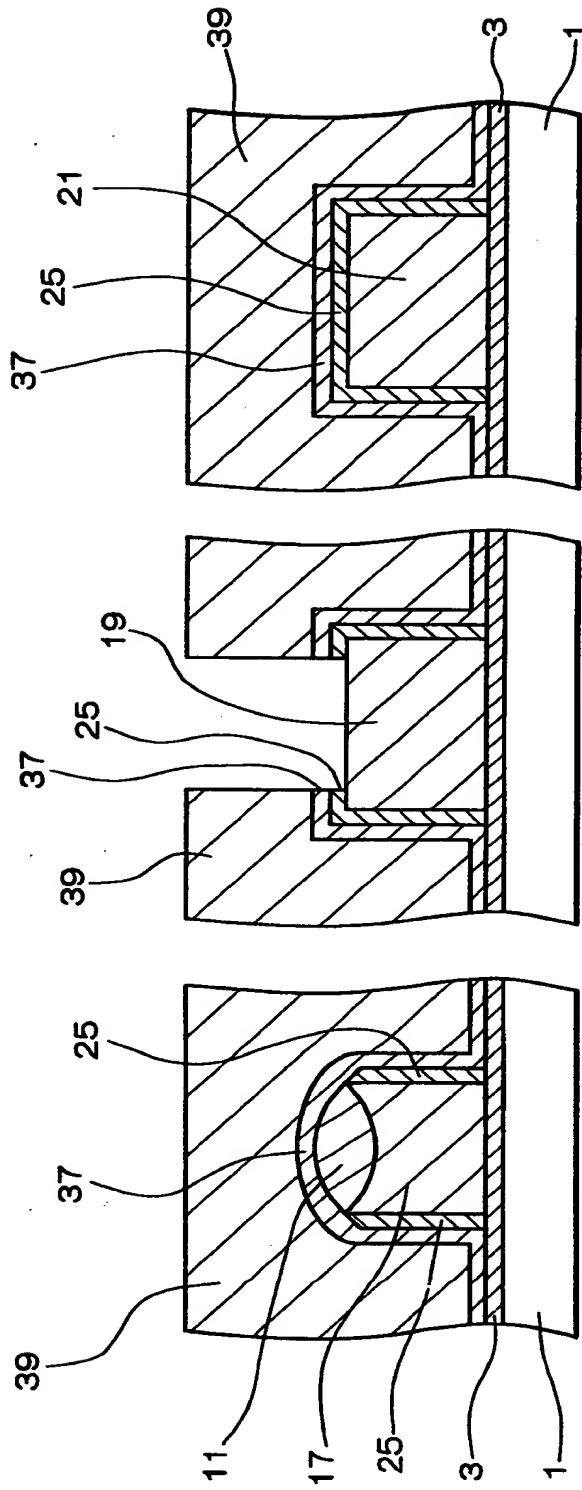
【図 4】



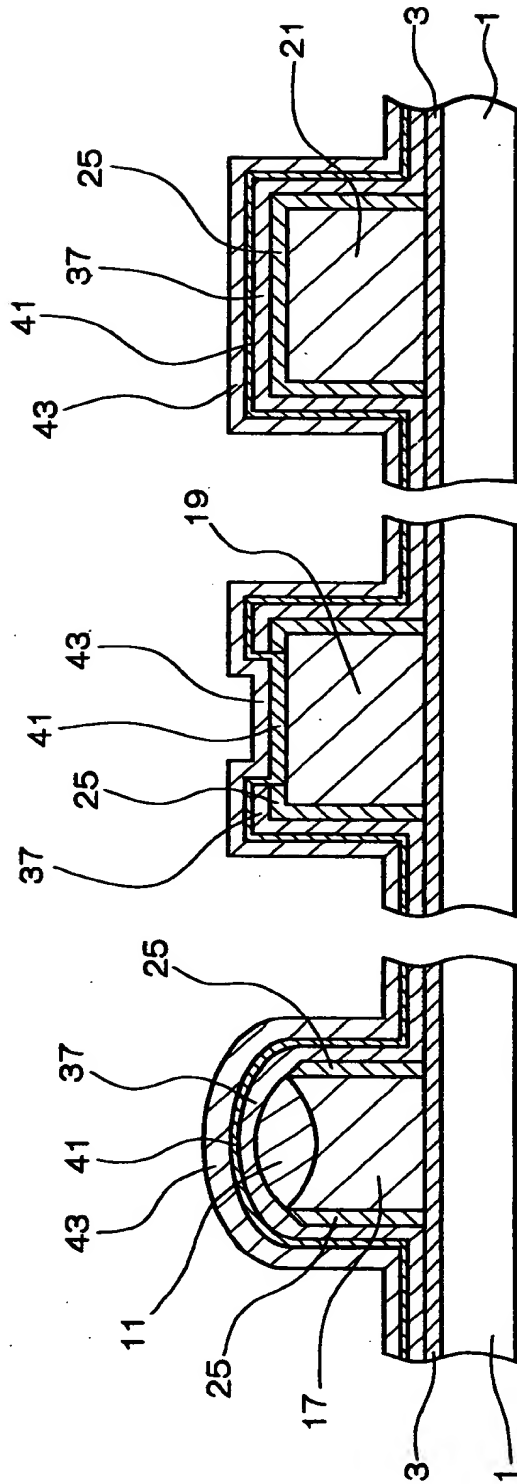
【図5】



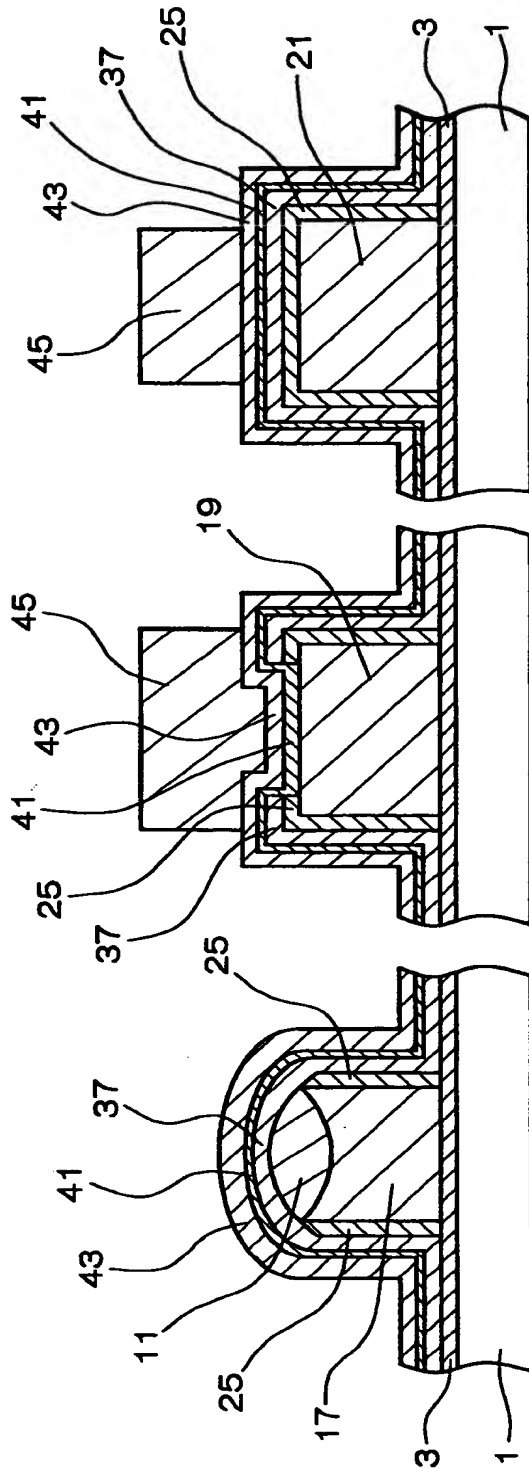
【図6】



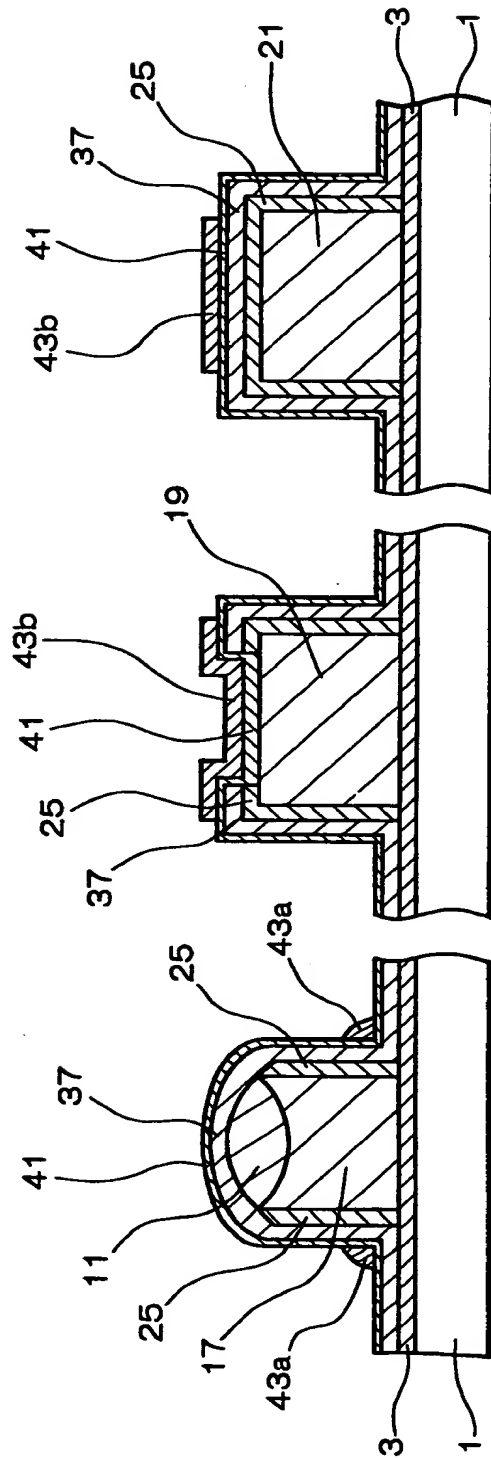
【図7】



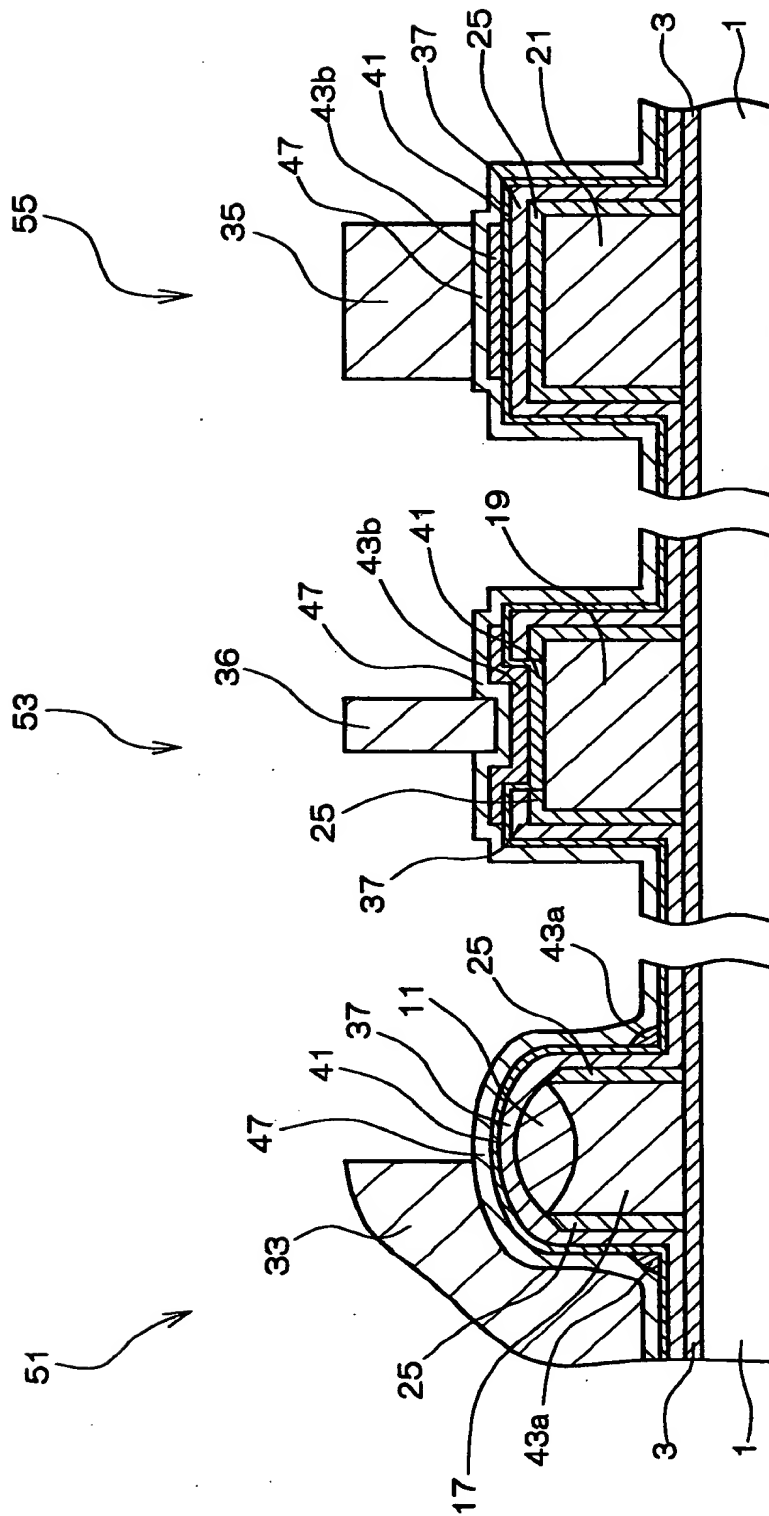
【图 8】



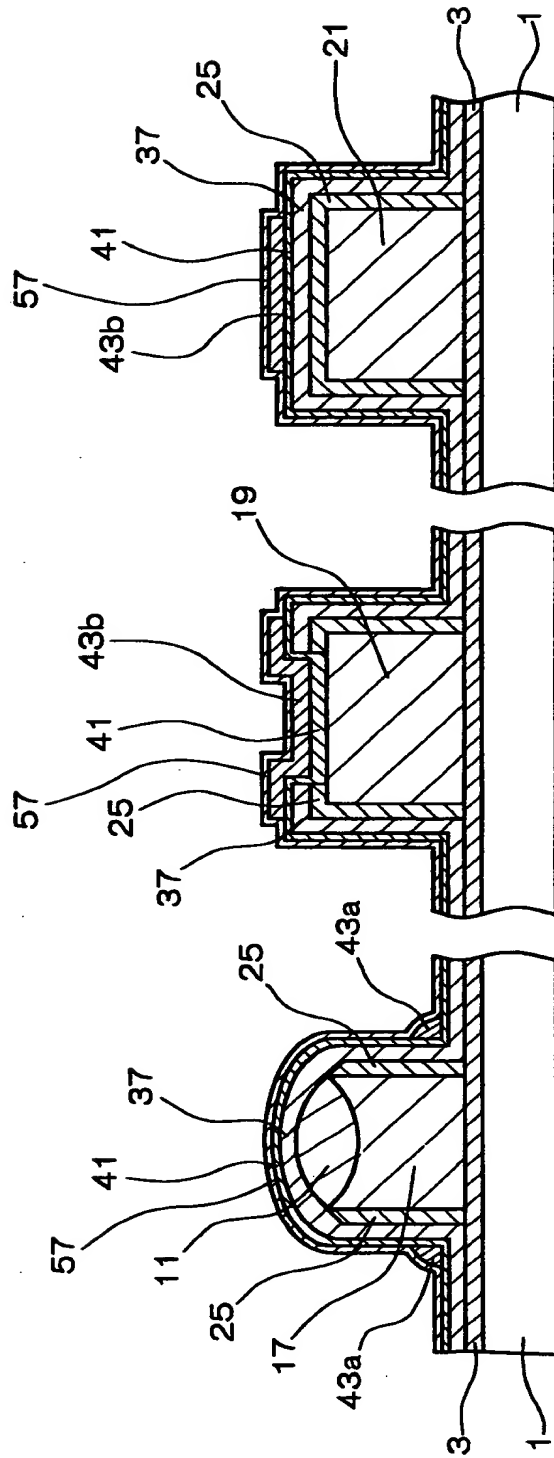
【图9】



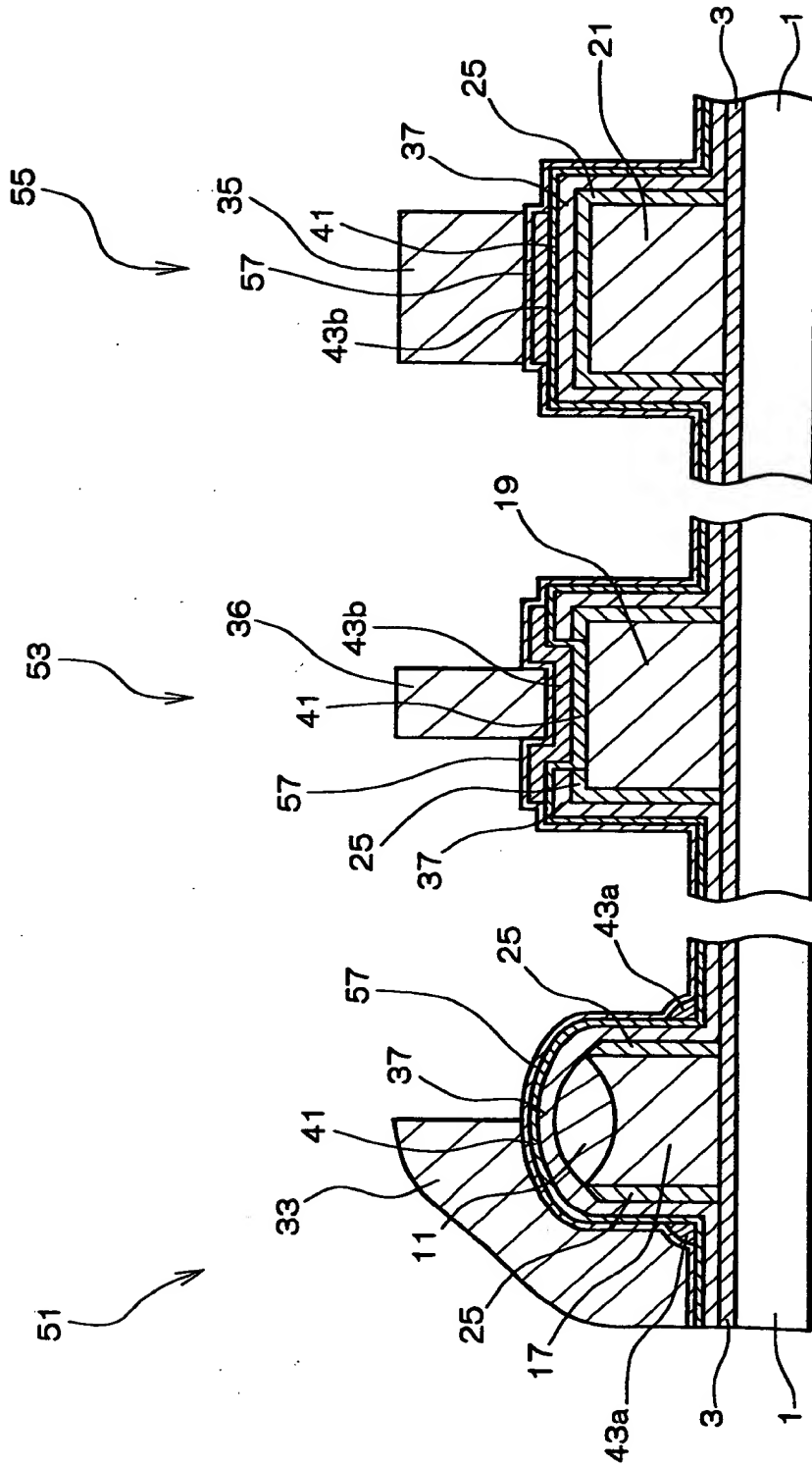
【図10】



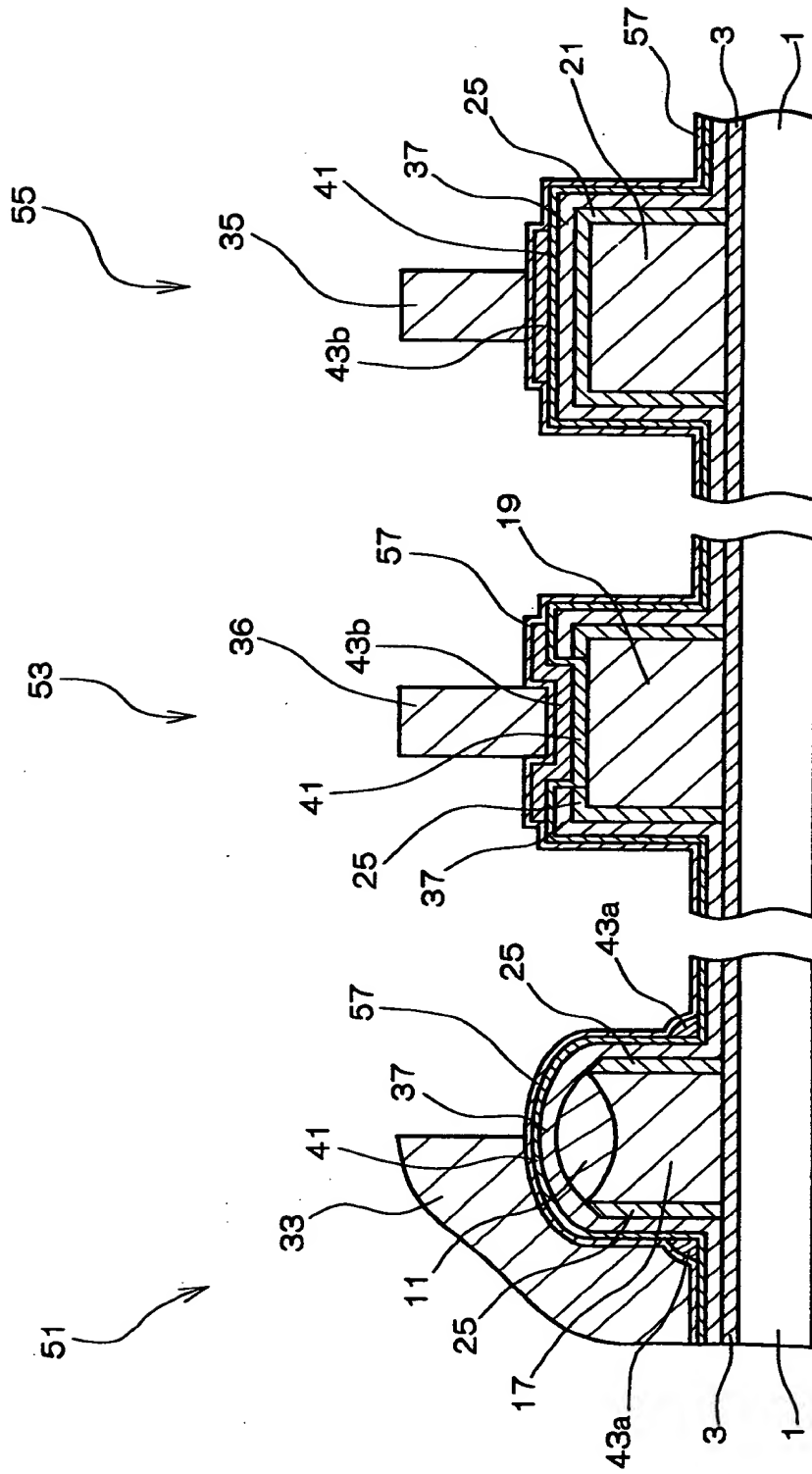
【図 11】



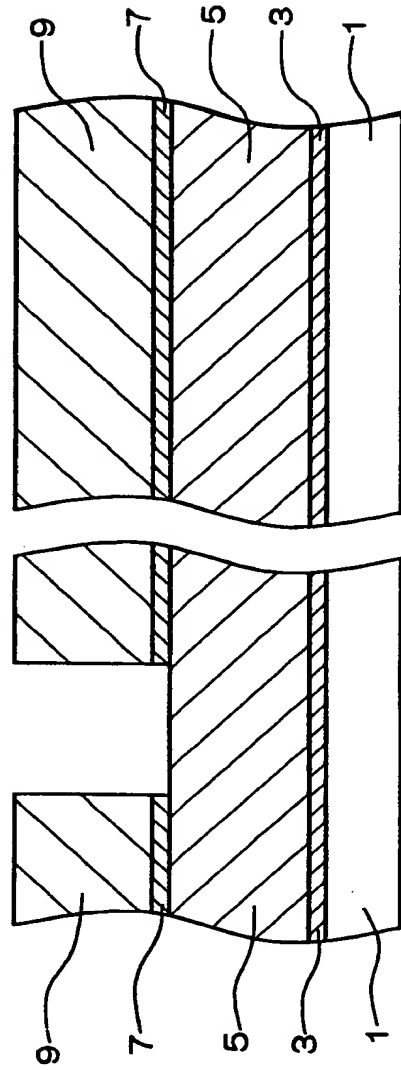
【図 12】



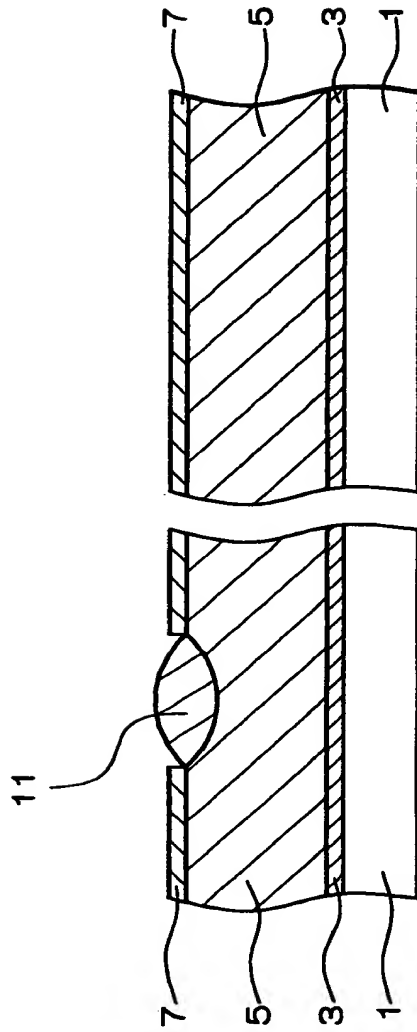
【図13】



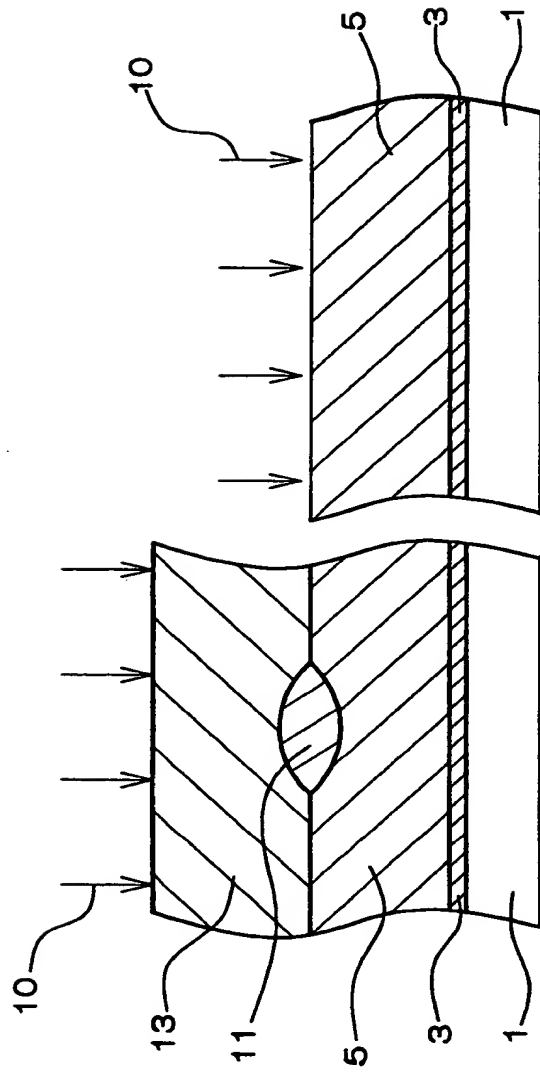
【図14】



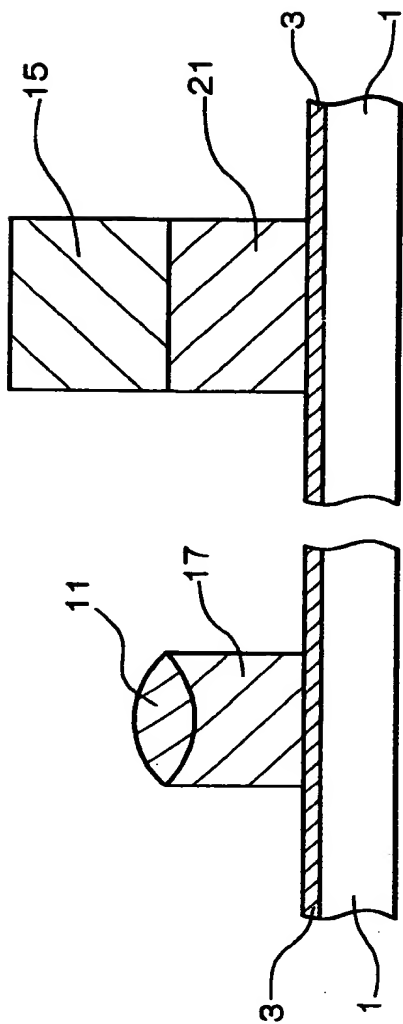
【図15】



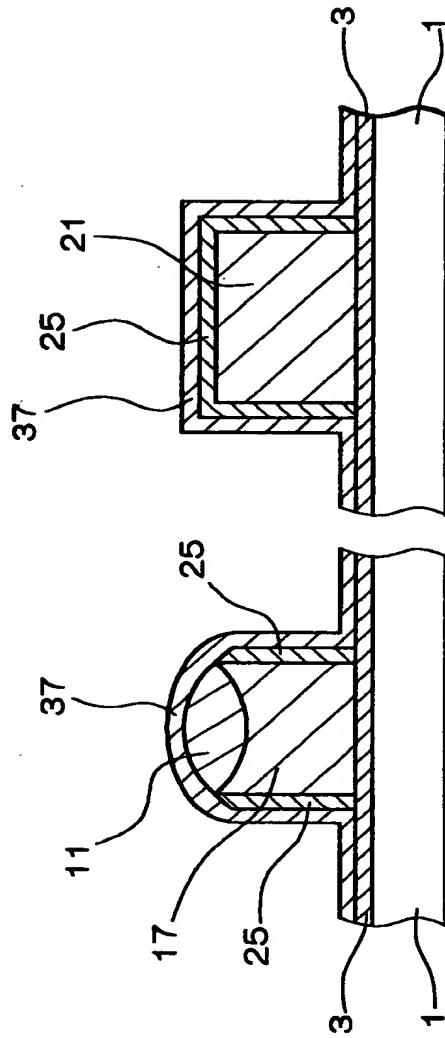
【図 1 6】



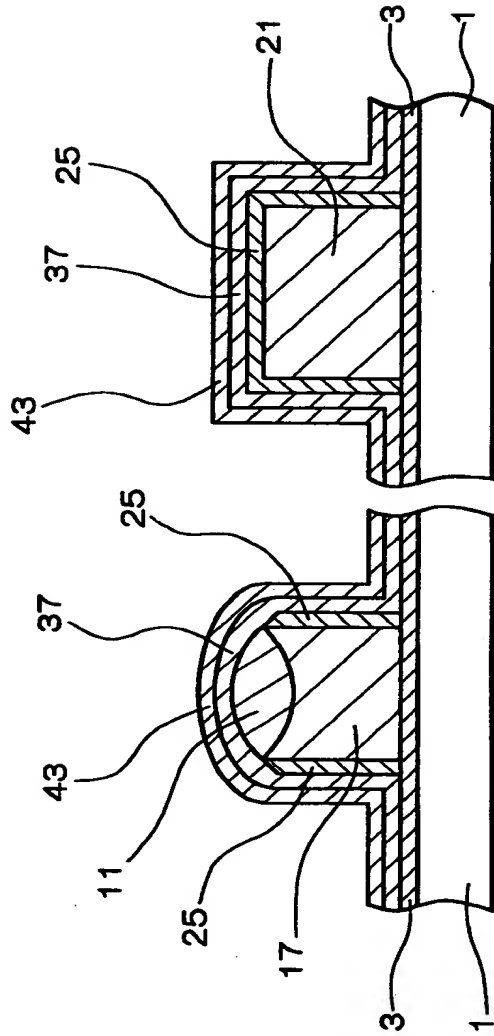
【図 1 7】



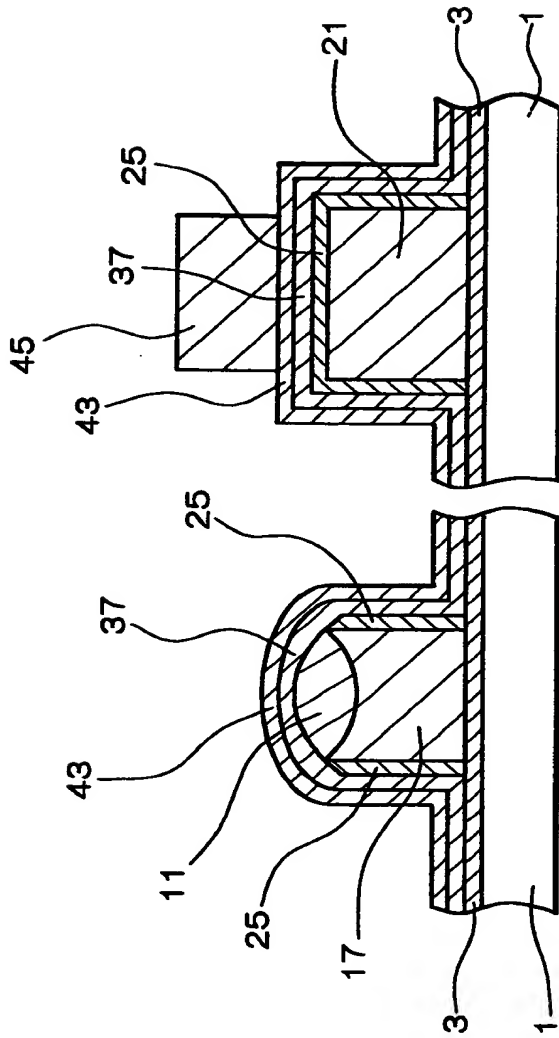
【図18】



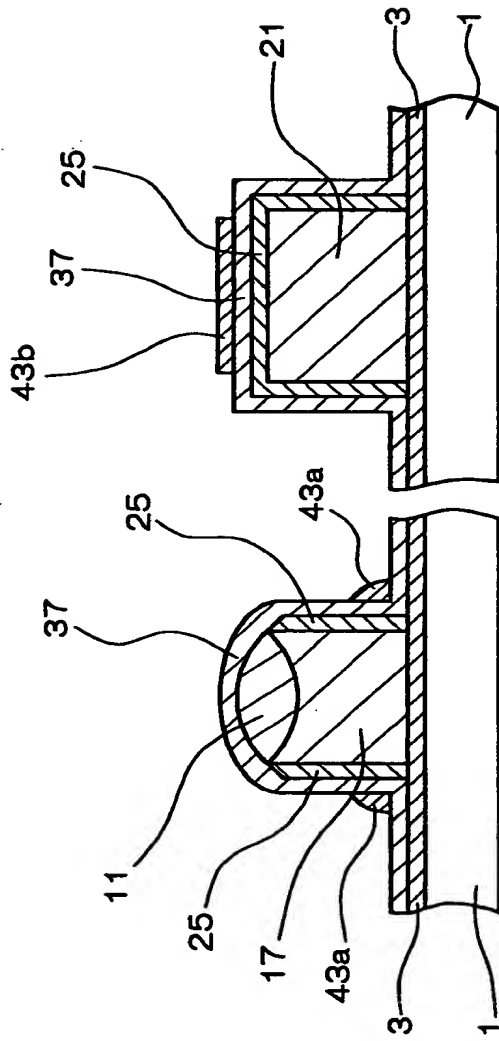
【図 1 9】



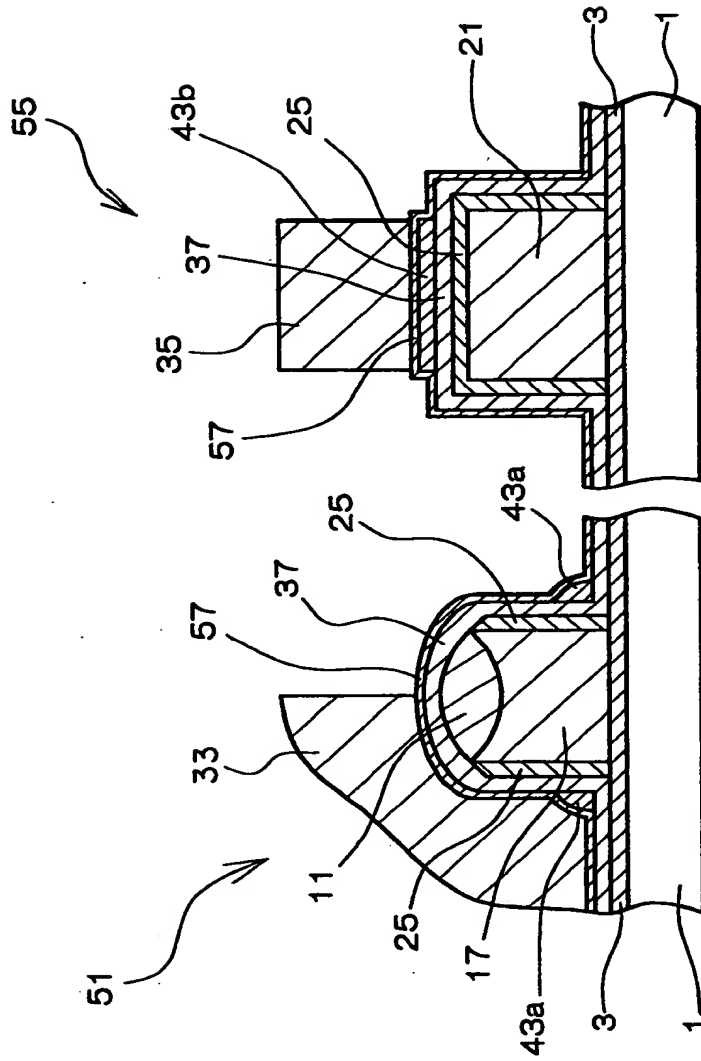
【図 2 0】



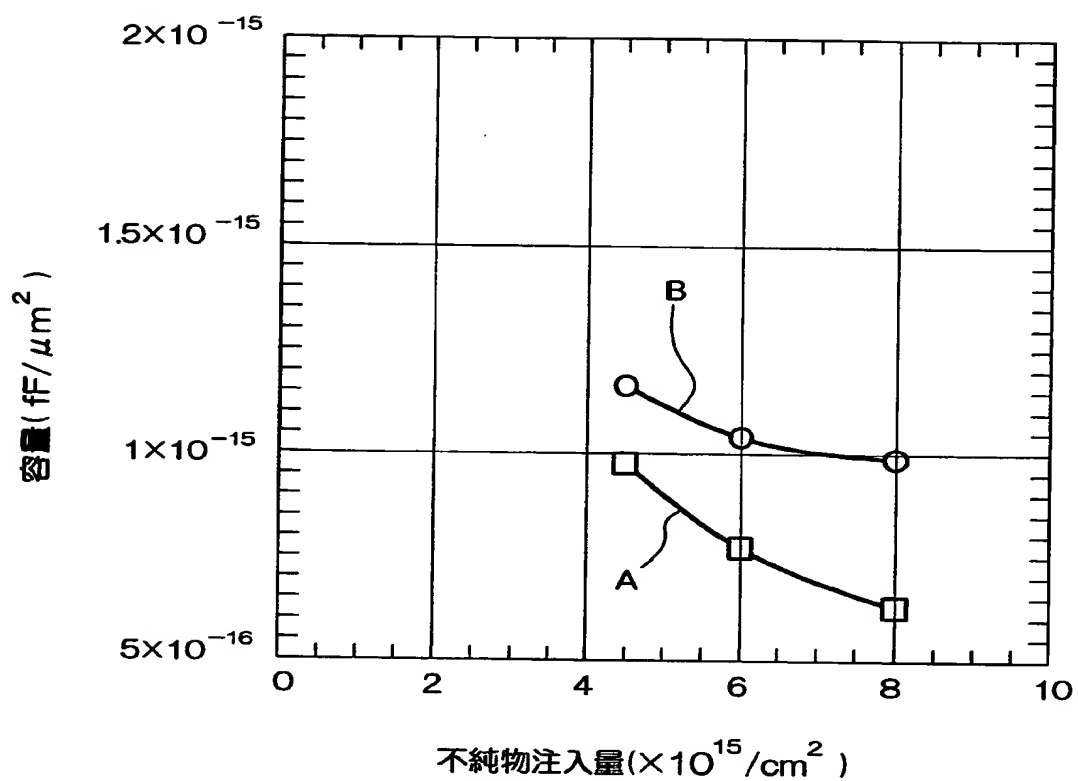
【図 21】



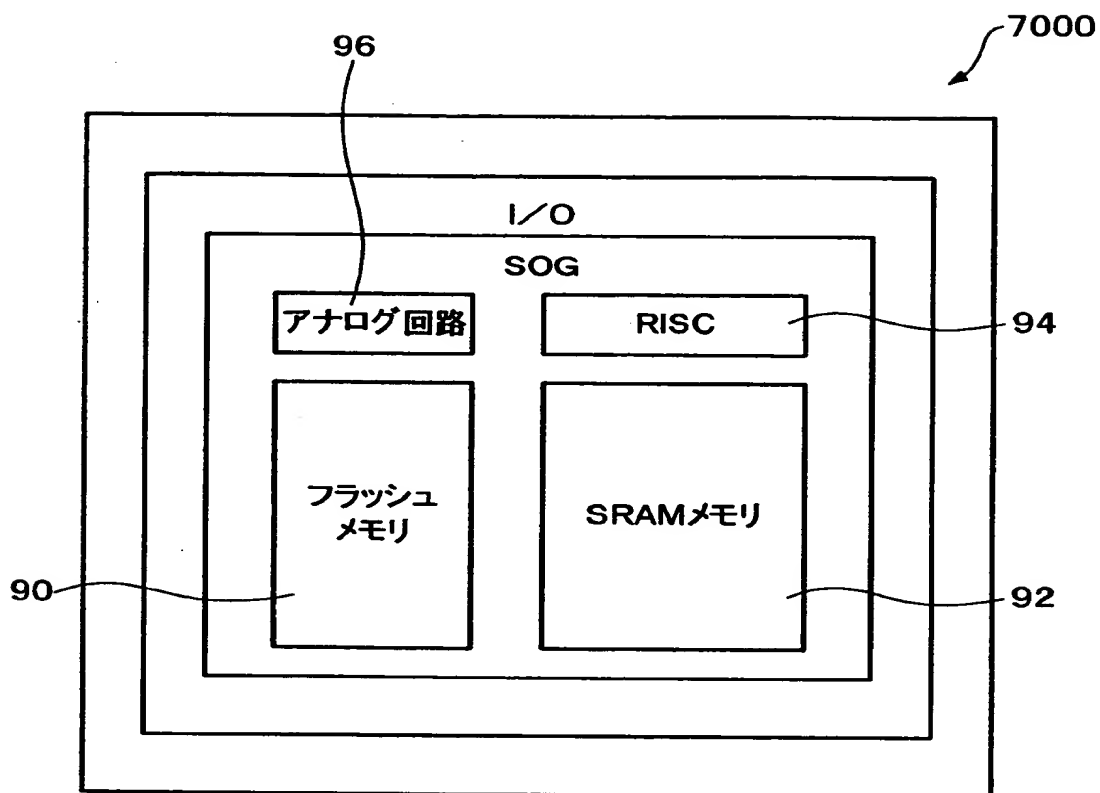
【図 22】



【図 2 3】



【図24】



【書類名】 要約書

【要約】

【課題】 スプリットゲート型メモリトランジスタと、容量素子と、他の容量素子と、を同一チップに混載するとき、容量素子および他の容量素子の容量値を、それぞれ、所望の値にすることができる半導体装置を提供すること。

【解決手段】 容量素子 5 3 の誘電体膜は、シリコン酸化膜 4 1（熱酸化膜）、シリコン窒化膜 4 3 b およびシリコン酸化膜 5 7（熱酸化膜）を含む。容量素子 5 5 の誘電体膜は、シリコン酸化膜 2 5（熱酸化膜）、シリコン酸化膜 3 7（CVDシリコン酸化膜）、シリコン酸化膜 4 1（熱酸化膜）、シリコン窒化膜 4 3 b およびシリコン酸化膜 5 7（熱酸化膜）を含む。

【選択図】 図 1 3

認定・付加情報

特許出願の番号	特願2000-102083
受付番号	50000423298
書類名	特許願
担当官	第五担当上席 0094
作成日	平成12年 4月 7日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿2丁目4番1号
【氏名又は名称】	セイコーエプソン株式会社

【代理人】

申請人

【識別番号】	100090479
【住所又は居所】	東京都杉並区荻窪5丁目26番13号 荻窪TM ビル2階 井上・布施合同特許事務所
【氏名又は名称】	井上 一

【選任した代理人】

【識別番号】	100090387
【住所又は居所】	東京都杉並区荻窪5丁目26番13号 荻窪TM ビル2階 井上・布施合同特許事務所
【氏名又は名称】	布施 行夫

【選任した代理人】

【識別番号】	100090398
【住所又は居所】	東京都杉並区荻窪5丁目26番13号 荻窪TM ビル2階 井上・布施合同特許事務所
【氏名又は名称】	大淵 美千栄

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社